

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

NONVOLATILE SEMICONDUCTOR MEMORY CELL AND METHOD FOR CONTROLLING  
DATA WRITE/READ AT NONVOLATILE SEMICONDUCTOR MEMORY CELL

## Bibliographic data

Mosaics

Original document

INPADOC LEGAL status

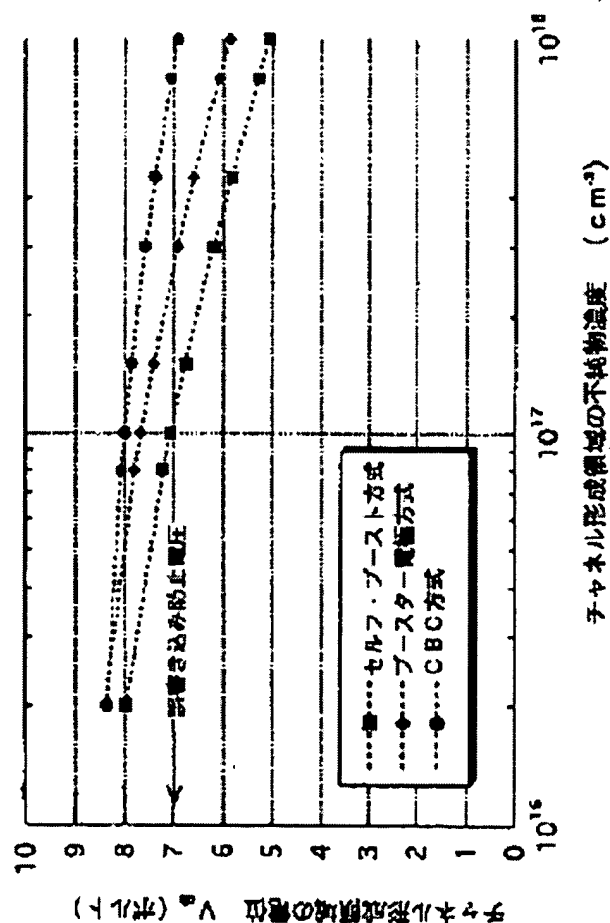
**Patent number:** JP2000132984  
**Publication date:** 2000-05-12  
**Inventor:** NAKAMURA AKIHIRO  
**Applicant:** SONY CORP  
**Classification:**  
- international: G11C16/04; G11C16/06  
- european:  
**Application number:** JP19980308052 19981029  
**Priority number(s):**

[View INPADOC patent family](#)

## Abstract of JP2000132984

**PROBLEM TO BE SOLVED:** To provide a nonvolatile semiconductor memory cell which can surely avoid problems such as deterioration of a disturb characteristic at the time of writing data or the like even when a memory element is increasingly micro miniaturized.

**SOLUTION:** In a NAND type nonvolatile semiconductor memory cell of a form boosting a potential of a channel formation area of a write inhibit memory element according to a self boost system, a booster electrode system or a CBC system, a bias-impressing means is further provided for impressing a bias to a base or source line when data stored in the memory element is read out. A density of impurities in the channel formation area is set to be  $1 \times 10^{17} \text{ cm}^{-3}$  or smaller in the case of the self boost system,  $2 \times 10^{17} \text{ cm}^{-3}$  or smaller in the case of the booster electrode system, and  $1 \times 10^{18} \text{ cm}^{-3}$  or smaller in the case of the CBC system.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-132984  
(P2000-132984A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 1 1 C 16/04 16/06		G 1 1 C 17/00	6 2 2 E 5 B 0 2 5 6 3 2 Z 6 3 5

審査請求 未請求 請求項の数14 O L (全 28 頁)

(21) 出願番号 特願平10-308052

(22) 出願日 平成10年10月29日 (1998. 10. 29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 中村 明弘

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

(74) 代理人 100094363

弁理士 山本 孝久

F ターム (参考) 5B025 AA03 AB01 AC01 AD03 AD04  
AD10 AE08

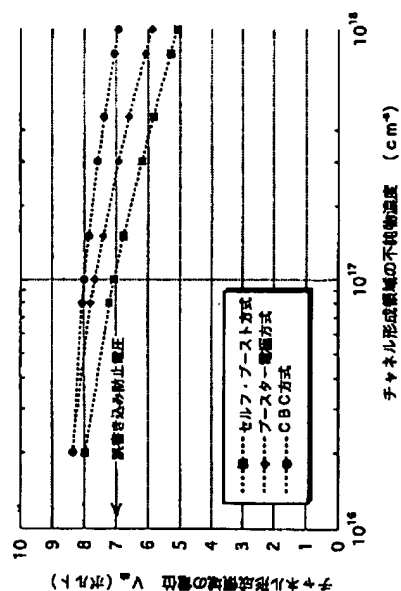
(54) 【発明の名称】 不揮発性半導体メモリセル、並びに、不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法

(57) 【要約】

【課題】メモリ素子の微細化を進める場合にあって、データ書き込み時のディスタート特性が劣化するという問題を確実に回避することができる不揮発性半導体メモリセルを提供する。

【解決手段】セルフ・ブースト方式、ブースター電極方式あるいはCBC方式によって、書き込み禁止メモリ素子のチャネル形成領域の電位を昇圧する形式の本発明のNAND型不揮発性半導体メモリセルは、メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備え、チャネル形成領域の不純物濃度を、セルフ・ブースト方式の場合  $1 \times 10^{17} \text{ cm}^{-3}$  以下、ブースター電極方式の場合  $2 \times 10^{17} \text{ cm}^{-3}$  以下、CBC方式の場合  $1 \times 10^{18} \text{ cm}^{-3}$  以下とする。

【図1】



## 【特許請求の範囲】

【請求項1】(イ) 基体に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース／ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、並びに、

(ホ) ワード線にプログラム電位を印加するためのワード線制御回路、を具備し、

メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づきチャネル形成領域を昇圧する不揮発性半導体メモリセルであって、チャネル形成領域の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、

メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えていることを特徴とする不揮発性半導体メモリセル。

【請求項2】(イ) 基体に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース／ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、

(ホ) ワード線に所定の電位を印加するためのワード線制御回路、

(ヘ) メモリ・ストリングを構成する各メモリ素子の制御電極、電荷蓄積部及びソース／ドレイン領域上を被覆する層間絶縁膜上に形成されたブースター電極、並びに、

(ト) ブースター電極にブースト電位を印加するためのブースト電位印加手段、を具備し、

メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線に所定の電位を印加し、且つ、ブースト電位印加手段の動作によりブースター電極にブースト電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、ブースター電極とソース／ドレイン領域領域との容量結合に基づきチャネル形成領域を昇圧する不揮発性半導体メモリセルであって、

チャネル形成領域の不純物濃度は $2 \times 10^{17} \text{ cm}^{-3}$ 以下であり、

メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えていることを特徴とする不揮発性半導体メモリセル。

【請求項3】(イ) 基体に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース／ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、

(ホ) ワード線にプログラム電位を印加するためのワード線制御回路、並びに、

(ヘ) メモリ・ストリングを構成する各メモリ素子の制御電極の少なくとも頂面の上に層間絶縁膜を介して形成され、且つ、メモリ・ストリングを構成する1つのメモリ素子の一方のソース／ドレイン領域に接続された導電層、を具備し、

メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、制御電極と導電層との容量結合に基づきチャネル形成領域を昇圧する不揮発性半導体メモリセルであって、

チャネル形成領域の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、

メモリ素子に記憶されたデータを読み出す際に基体又は

ソース線にバイアスを印加するためのバイアス印加手段を更に備えていることを特徴とする不揮発性半導体メモリセル。

【請求項4】電荷蓄積部は、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された浮遊電極、及び、浮遊電極と制御電極との間に形成された絶縁層から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性半導体メモリセル。

【請求項5】電荷蓄積部は、チャネル形成領域上に形成された第1の酸化膜、第1の酸化膜上に形成された窒化膜、及び、窒化膜と制御電極との間に形成された第2の酸化膜から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性半導体メモリセル。

【請求項6】電荷蓄積部は、チャネル形成領域上に形成された酸化膜、及び、酸化膜と制御電極との間に形成された窒化膜から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性半導体メモリセル。

【請求項7】電荷蓄積部は、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜と制御電極との間に形成された絶縁層、及び、該絶縁層中に設けられた導電性微結晶粒子から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性半導体メモリセル。

【請求項8】(イ) 基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、並びに、

(ホ) ワード線にプログラム電位を印加するためのワード線制御回路、を具備し、

チャネル形成領域の不純物濃度は  $1 \times 10^{17} \text{ cm}^{-3}$  以下であり、

メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えている不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法であって、

メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電

極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づきチャネル形成領域を昇圧し、

メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体又はソース線にバイアスを印加することを特徴とする不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項9】(イ) 基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、

(ホ) ワード線に所定の電位を印加するためのワード線制御回路、

(ヘ) メモリ・ストリングを構成する各メモリ素子の制御電極、電荷蓄積部及びソース/ドレイン領域上に被覆する層間絶縁膜上に形成されたブースター電極、並びに、

(ト) ブースター電極にブースト電位を印加するためのブースト電位印加手段、を具備し、

チャネル形成領域の不純物濃度は  $2 \times 10^{17} \text{ cm}^{-3}$  以下であり、

メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えている不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法であって、

メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線に所定の電位を印加し、且つ、ブースト電位印加手段の動作によりブースター電極にブースト電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、ブースター電極とソース/ドレイン領域領域との容量結合に基づきチャネル形成領域を昇圧し、

メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体又はソース線にバイアスを印加することを特徴とする不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項10】(イ) 基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形

成された電荷蓄積部、並びに、電荷蓄積部に形成された制御電極を有する、電気的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、

(ロ) 各制御電極に接続された複数のワード線、

(ハ) メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、

(ニ) メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、

(ホ) ワード線にプログラム電位を印加するためのワード線制御回路、並びに、

(ヘ) メモリ・ストリングを構成する各メモリ素子の制御電極の少なくとも頂面の上方に層間絶縁膜を介して形成され、且つ、メモリ・ストリングを構成する1つのメモリ素子の一方のソース/ドレイン領域に接続された導電層、を具備し、

チャンネル形成領域の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、

メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えている不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法であって、

メモリ素子へのデータ書き込みに際し、ワード線制御回路によってワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャンネル形成領域との容量結合、及び、制御電極と導電層との容量結合に基づきチャンネル形成領域を昇圧し、

メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体又はソース線にバイアスを印加することを特徴とする不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項11】電荷蓄積部は、チャンネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された浮遊電極、及び、浮遊電極と制御電極との間に形成された絶縁層から成ることを特徴とする請求項8乃至請求項10のいずれか1項に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項12】電荷蓄積部は、チャンネル形成領域上に形成された第1の酸化膜、第1の酸化膜上に形成された窒化膜、及び、窒化膜と制御電極との間に形成された第2の酸化膜から成ることを特徴とする請求項8乃至請求項10のいずれか1項に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項13】電荷蓄積部は、チャンネル形成領域上に形成された酸化膜、及び、酸化膜と制御電極との間に形成

された窒化膜から成ることを特徴とする請求項8乃至請求項10のいずれか1項に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【請求項14】電荷蓄積部は、チャンネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜と制御電極との間に形成された絶縁層、及び、該絶縁層中に設けられた導電性微小結晶粒子から成ることを特徴とする請求項8乃至請求項10のいずれか1項に記載の不揮発性半導体メモリセルにおけるデータ書き込み制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体メモリセル、並びに、不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法に関する。

【0002】

【従来の技術】EEPROMとして知られている不揮発性半導体メモリセルの一種に、高集積化が可能なNANDストリング型不揮発性半導体メモリセル（以下、NANDストリング型メモリセルと呼ぶ）がある。浮遊電極を有する従来のNANDストリング型メモリセルの模式的な一部断面図を図2に示し、等価回路を図3に示す。NANDストリング型メモリセルを構成する各メモリ素子 $M_0 \sim M_7$ のそれぞれは、基体（より具体的には、例えばp型ウエル11B内）に形成されたソース/ドレイン領域13及びチャンネル形成領域12、チャンネル形成領域12の上方にトンネル絶縁膜14を介して形成された浮遊電極15（フローティングゲートあるいは電荷蓄積電極とも呼ばれる）、並びに、浮遊電極15の上方に絶縁層16を介して形成された制御電極17（コントロールゲートあるいは制御ゲートとも呼ばれる）から構成されている。そして、NANDストリング型メモリセルにおいては、メモリ素子の一方のソース/ドレイン領域13を、隣接するメモリ素子の他方のソース/ドレイン領域13と共有化させることによって、複数のメモリ素子が直列接続されている。尚、複数のメモリ素子がこのように直列接続されている形態をメモリ・ストリングと呼ぶ。また、メモリ・ストリングの一端のメモリ素子 $M_0$ は、第1の選択トランジスタDSGを介してビット線BLに接続されており、メモリ・ストリングの他端のメモリ素子 $M_7$ は、第2の選択トランジスタSSGを介して共通ソース線に接続されている。尚、図3に示すように、複数のNANDストリング型メモリセルが列方向に配設され、制御電極17は、行方向に配設されたワード線に接続されている。ここで、参照番号10はn型シリコン半導体基板を示し、参照番号11Aはn型ウエルを示し、参照番号20は層間絶縁層を示す。

【0003】従来のNANDストリング型メモリセルにおけるメモリ素子へのデータ書き込み動作の概要を、以下、説明する。

【0004】NANDストリング型メモリセルにおい

て、データは、ビット線BLから最も離れた位置に位置するメモリ素子 $M_7$ から順に書き込まれる。データ書き込み動作においては、データを書き込むべきメモリ素子（以下、便宜上、選択メモリ素子と呼ぶ）の制御電極17にプログラム電位 $V_{\text{program}}$ （例えば約20ボルト）を印加する。かかるメモリ素子以外のメモリ素子（以下、便宜上、非選択メモリ素子と呼ぶ）の制御電極17にはプログラム禁止電位 $V_{\text{pass}}$ （パス電圧とも呼ばれ、例えば約10ボルト）を印加する。一方、ビット線BLに、例えば0ボルトを印加する。そして、第1の選択トランジスタDSGを導通させ、第2の選択トランジスタSSGを非導通状態にすると、ビット線BLの電位はメモリ素子のソース/ドレイン領域13へと転送される。そして、選択メモリ素子においては、制御電極17の電位とチャネル形成領域12の電位との間の電位差に基づき、ファウラー・ノルドハイム（Fowler-Nordheim）・トンネル現象によって、チャネル形成領域12から浮遊電極15への電子の注入が生じる。その結果、選択メモリ素子の閾値電圧 $V_{\text{th}}$ が当初の負から正方向にシフトし、データが選択メモリ素子に書き込まれる。一方、非選択メモリ素子においては、制御電極17とチャネル形成領域12との間には大きな電位差が生ぜず、チャネル形成領域12から浮遊電極15への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧 $V_{\text{th}}$ は当初の値から変化せず、当初のデータが非選択メモリ素子に保持される。各メモリ素子の閾値電圧 $V_{\text{th}}$ の分布を図21に模式的に示す。

【0005】ワード線は他のNANDストリング型メモリセルと共通化されている。従って、選択メモリ素子の制御電極17に接続されたワード線に接続された他のNANDストリング型メモリセルを構成するメモリ・ストリング（以下、このようなメモリ・ストリングを他のメモリ・ストリングと呼ぶ）におけるメモリ素子（以下、このようなメモリ素子を、他の選択メモリ素子と呼ぶ）の制御電極17にも、プログラム電位 $V_{\text{program}}$ が印加される。かかる他の選択メモリ素子にデータを書き込むではない場合には、即ち、かかる他の選択メモリ素子へのデータの書き込みが禁止されている場合には、他のメモリ・ストリングに接続されているビット線BLに中間電位 $V_0$ （例えば約10ボルト）を印加する。これによって、他の選択メモリ素子においては、制御電極17とチャネル形成領域12との間には大きな電位差が生ぜず、チャネル形成領域12から浮遊電極15への電子の注入が生じない。従って、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0006】ビット線BLに中間電位 $V_0$ を印加する従来の方法においては、各ビット線BL毎に設けられ、センスアンプ等から構成されたコラム回路とも呼ばれるビット線制御回路（図示せず）によってビット線BLに印加すべき中間電位 $V_0$ を供給する必要があり、そのため

に、ビット線制御回路には高耐压のトランジスタを用いなければならない。然るに、このような高耐压のトランジスタを設けるためには広い面積が必要とされ、不揮発性半導体メモリセルの面積縮小化を図ることが困難である。

【0007】このような問題を解決するための手段として、NANDストリング型メモリセルにおいて、制御電極17と浮遊電極15との容量結合、及び、浮遊電極15とチャネル形成領域12との容量結合に基づき、ワード線に印加された電位によって他のメモリ・ストリングにおける他の選択メモリ素子のチャネル形成領域12を昇圧させる方法が知られている。尚、このような方法をセルフ・ブースト方式と呼ぶ。セルフ・ブースト方式を採用することによって、他の選択メモリ素子において、制御電極17とチャネル形成領域12の間には大きな電位差が生ぜず、他の選択メモリ素子にはデータが書き込まれない。

【0008】具体的には、選択メモリ素子へのデータ書き込みの際には、ワード線にプログラム電位 $V_{\text{program}}$ （例えば約20ボルト）を印加することによって制御電極の電位を約20ボルトとする。一方、非選択メモリ素子の制御電極にはプログラム禁止電位 $V_{\text{pass}}$ （約10ボルト）を印加する。また、予め、このメモリ・ストリングに接続されたビット線BLには例えば0ボルトを印加し、第1の選択トランジスタDSGのゲート電極に電源電圧 $V_{\text{cc}}$ を印加し、第2の選択トランジスタSSGのゲート電極には0ボルトを印加する。これによって、選択メモリ素子においては、プログラム電位 $V_{\text{program}}$ にある制御電極の電位とチャネル形成領域の電位との間の電位差（約20ボルト）に基づき、チャネル形成領域から浮遊電極への電子の注入が生じる結果、データが選択メモリ素子に書き込まれる。一方、非選択メモリ素子においては、プログラム禁止電位 $V_{\text{pass}}$ にある制御電極の電位とチャネル形成領域の電位との間には大きな電位差が生ぜず（具体的には、約10ボルトの電位差しか生ぜず）、チャネル形成領域から浮遊電極への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子に保持される。

【0009】一方、他のメモリ・ストリングにおける他の選択メモリ素子の制御電極にはプログラム電位 $V_{\text{program}}$ （約20ボルト）が印加される。また、他のメモリ・ストリングにおける他の選択メモリ素子以外のメモリ素子（他のメモリ・ストリングにおける他の非選択メモリ素子と呼ぶ）の制御電極にはプログラム禁止電位 $V_{\text{pass}}$ （約10ボルト）が印加される。そして、この他のメモリ・ストリングに接続されたビット線BLに $V_{\text{cc}}$ を印加し、第1の選択トランジスタDSGのゲート電極に $V_{\text{cc}}$ を印加し、第2の選択トランジスタSSGのゲート電極には0ボルトを印加する。これによって、他のメ

メモリ・ストリングの各メモリ素子のチャネル形成領域が8ボルト前後に昇圧される。そして、その結果、ほぼ同時に、第1の選択トランジスタDSGは非導通状態となり、チャネル形成領域の電位が保持される。これによって、チャネル形成領域から浮遊電極への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0010】他のメモリ・ストリングにおける各メモリ素子のチャネル形成領域の電位 $V_{ch}$ は、以下の式(1)で表すことができる。尚、式(1)の右辺第3項は、他のメモリ・ストリングにおける他の選択メモリ素子に基づくチャネル形成領域の昇圧を示す。具体的には、他の選択メモリ素子における、制御電極と電荷蓄積部との容

$$V_{ch} = V_{ch,ini} + C_{r1} (V_{p,ini} - V_{th} - V_{ch,ini}) + C_{r2} (V_{p,program} - V_{th} - V_{ch,ini}) \quad (1)$$

【0012】

【表1】 $V_{ch,ini}$ ：ビット線を介してメモリ素子のチャネル形成領域に印加される電位

$V_{th}$ ：メモリ素子の閾値電圧

$C_{r1}$ ： $(N-1) \times (C_{ins}/C_{total})$

$C_{r2}$ ： $C_{ins}/C_{total}$

$C_{r3}$ ： $(N-1) \times (C_{boost}/C_{total})$

$C_{r4}$ ： $(N-1) \times (C_{cond}/C_{total})$

$N$ ：1つのメモリ・ストリングを構成するメモリ素子の個数

$C_{ins}$ ：1つのメモリ素子の容量であり、 $[C_{insul} \cdot C_{tun} / (C_{insul} + C_{tun})]$ 。ここで、 $C_{insul}$ は制御電極と浮遊電極との間の結合容量であり、 $C_{tun}$ は浮遊電極とチャネル形成領域との間の結合容量

$C_{boost}$ ：後述するブースター電極方式におけるブースター電極とソース／ドレイン領域との間の結合容量

$C_{cond}$ ：後述するCBC方式における導電層と浮遊電極との間の結合容量

$C_{total}$ ：セルフ・ブースト方式においては、 $N \times C_{ins} + C_{ch}$ ；ブースター電極方式においては、 $N \times C_{ins} + C_{ch} + N \times C_{boost}$ ；CBC方式においては、 $N \times C_{ins} + C_{ch} + N \times C_{cond}$

$C_{ch}$ ：1つのメモリ・ストリングを構成するN個のメモリ素子のソース／ドレイン領域と基体（例えばウェル）間のチャネル寄生容量

【0013】更に、セルフ・ブースト方式の一種である、ブースター電極と制御電極との容量結合に基づき制御電極を昇圧させる方法（ブースター電極方式）の一具体例を、文献“A Novel Booster Plate Technology in High Density NAND Flash Memories for Voltage Scaling-Down and Zero Program Disturbance”, J.D. Choi et al., 1996 Symposium on VLSI Technology Digest of Technical Papers, pp238-239を参照して、以下、説明する。

【0014】この文献に開示されたメモリ・ストリング

量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づくチャネル形成領域の昇圧を示す。また、式(1)の右辺第2項は、他のメモリ・ストリングにおける他の非選択メモリ素子に基づくチャネル形成領域の昇圧を示す。具体的には、非選択メモリ素子における、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づくチャネル形成領域の昇圧を示す。尚、セルフ・ブースト方式の等価回路を図22に示す。更には、式(1)及び後述する各式中の記号の定義を、以下の表1に示す。

【0011】

【数1】

におけるメモリ素子は、半導体基板に形成されたソース／ドレイン領域及びチャネル形成領域、チャネル形成領域上に、トンネル絶縁膜、浮遊電極、絶縁層、制御電極、層間絶縁膜、ブースター電極が順次、形成された構造を有する。

【0015】そして、選択メモリ素子へのデータ書き込みに際しては、選択メモリ素子に接続されたワード線にプログラム電位 $V_{program}$ （12ボルト）を印加することによって制御電極の電位をプログラム電位 $V_{program}$ （12ボルト）とする。一方、非選択メモリ素子の制御電極には、ワード線からプログラム禁止電位 $V_{pass}$ （例えば $V_{cc}$ ボルト）を印加する。併せて、ブースター電極にブースト電位 $V_{boost}$ （12ボルト）を印加する。また、予め、このメモリ・ストリングに接続されたビット線BLには例えば0ボルトを印加し、第1の選択トランジスタDSGのゲート電極に電源電圧 $V_{cc}$ を印加し、第2の選択トランジスタSSGのゲート電極には0ボルトを印加する。これによって、選択メモリ素子においては、プログラム電位 $V_{program}$ にある制御電極の電位とチャネル形成領域の電位との間の電位差（約12ボルト）に基づき、チャネル形成領域から浮遊電極への電子の注入が生じる結果、データが選択メモリ素子に書き込まれる。一方、非選択メモリ素子においては、プログラム禁止電位 $V_{pass}$ （例えば $V_{cc}$ ボルト）にある制御電極の電位とチャネル形成領域の電位との間には大きな電位差が生ぜず、チャネル形成領域から浮遊電極への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子に保持される。

【0016】一方、他のメモリ・ストリングにおける他の選択メモリ素子の制御電極にもプログラム電位 $V_{program}$ （12ボルト）が印加され、他のメモリ・ストリングにおける他の非選択メモリ素子の制御電極にはプログラム禁止電位 $V_{pass}$ （例えば $V_{cc}$ ボルト）が印加され、併せて、ブースター電極にブースト電位 $V$



boost (12ボルト) が印加される。この他のメモリ・ストリングに接続されたビット線BLに  $V_{cc}$  を印加し、第1の選択トランジスタDSGのゲート電極に  $V_{cc}$  を印加し、第2の選択トランジスタSSGのゲート電極には0ボルトを印加する。これによって、プログラム電位  $V_{program}$  にある制御電極の電位とチャネル形成領域の電位 ( $V_{cc} - V'_{th}$  であり、 $V'_{th}$  は第1の選択トランジスタDSGの閾値電圧である) との間の電位差等に基づき、他のメモリ・ストリングの各メモリ素子のチャネル形成領域が約8ボルトに昇圧される。そして、その結果、ほぼ同時に、第1の選択トランジスタDSGは非導通状態となり、チャネル形成領域の電位 (約8ボルト) が保持される。これによって、チャネル形成領域から浮遊電極への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0017】上述の文献に開示されたメモリ・ストリングにおいては、制御電極と電荷蓄積部との容量結合だけでなく、ブースター電極と電荷蓄積部との容量結合によって電荷蓄積部の昇圧を行うことができるので、従来よりも低いプログラム電位  $V_{program}$  (12ボルト) を用いても、メモリ素子にデータを書き込むことが可能となる。

【0018】他のメモリ・ストリングにおける各メモリ素子のチャネル形成領域の電位  $V_{ch}$  は、以下の式(2)で表すことができる。尚、式(2)の右辺第3項は、他のメモリ・ストリングにおける他の選択メモリ素子に基づくチャネル形成領域の昇圧を示す。具体的には、他の選択メモリ素子における、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づくチャネル形成領域の昇圧を示す。また、式(2)の右辺第4項は、他のメモリ・ストリングの他の非選択メモリ素子におけるブースター電極に基づくチャネル形成領域の昇圧を示す。具体的には、他の非選択メモリ素子におけるブースター電極とソース/ドレイン領域領域との容量結合に基づくチャネル形成領域の昇圧を示す。更には、式(2)の右辺第2項は、他のメモリ・ストリングにおける他の非選択メモリ素子に基づくチャネル形成領域の昇圧を示す。具体的には、他の非選択メモリ素子における、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づくチャネル形成領域の昇圧を示す。尚、従来のブースター電極方式の等価回路を図23に示す。

【0019】

【数2】

$$V_{ch} = V_{ch1st} + C r_1 (V_{boost} - V_{th} - V_{ch1st}) + C r_2 (V_{program} - V_{th} - V_{ch1st}) + C r_3 (V_{boost} - V_{th}) \quad (2)$$

【0020】更に、上述の問題を解決するための手段として、他のNANDストリング型メモリセルにおいて、メモリ・ストリングを構成する各メモリ素子の制御電極

の少なくとも頂面の上方に層間絶縁膜を介して形成され、且つ、メモリ・ストリングを構成する1つのメモリ素子の一方のソース/ドレイン領域に接続された導電層を備えた構造を有するメモリ・ストリングが、例えば、文献 "A novel ChannelBoost Capacitance (CBC) Cell Technology with Low Program Disturbance Suitable for Fast Programming 4Gbit NAND Flash Memories", S. Sato, et al., 1998 Symposium on VLSI Technology Digest of Technical Papers, pp. 108-109 から公知である。このメモリ・ストリングにおいては、メモリ素子へのデータ書き込みに際し、ワード線制御回路によってワード線にプログラム電位  $V_{program}$  を印加する。そして、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおける他の選択メモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された他の選択メモリ素子において、少なくとも、プログラム電位  $V_{program}$  にある制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、制御電極と導電層との容量結合に基づきチャネル形成領域を昇圧する。尚、このような方法をCBC方式と呼ぶ。CBC方式を採用することによって、他の選択メモリ素子において、制御電極とチャネル形成領域との間には大きな電位差が生ぜず、他の選択メモリ素子にはデータが書き込まれない。

【0021】他のメモリ・ストリングにおける各メモリ素子のチャネル形成領域の電位  $V_{ch}$  は、以下の式(3)で表すことができる。尚、式(3)の右辺第3項は、他のメモリ・ストリングにおける他の選択メモリ素子に基づくチャネル形成領域の昇圧を示す。具体的には、他の選択メモリ素子における、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づくチャネル形成領域の昇圧を示す。また、式(3)の右辺第2項は、他のメモリ・ストリングにおける他の非選択メモリ素子に基づくチャネル形成領域の昇圧を示す。具体的には、他の非選択メモリ素子における、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づくチャネル形成領域の昇圧を示す。更に、式(3)の右辺第4項は、制御電極と導電層との間の結合容量に基づくチャネル形成領域の昇圧を示す。尚、図24に、CBC方式の等価回路を示す。

【0022】

【数3】

$$V_{ch} = V_{ch1st} + C r_1 (V_{boost} - V_{th} - V_{ch1st}) + C r_2 (V_{program} - V_{th} - V_{ch1st}) + C r_4 (V_{boost} - V_{th} - V_{ch1st}) \quad (3)$$

【0023】

【発明が解決しようとする課題】メモリ素子の微細化を進める場合には、ゲート長を短くする必要があり、そのために、通常、チャネル形成領域の不純物濃度を高める

必要がある。ところで、チャネル形成領域の不純物濃度を高めると、1つのメモリ・ストリングを構成するN個のメモリ素子のソース/ドレイン領域と基体（例えばウェル）間のチャネル寄生容量 $C_{ch}$ の値が大きくなる。従って、式（1）、式（2）、式（3）における係数 $Cr_1$ 、 $Cr_2$ 、 $Cr_3$ 、 $Cr_4$ の値が小さくなる結果、他のメモリ・ストリングにおける各メモリ素子のチャネル形成領域の電位 $V_{ch}$ が低下する。それ故、セルフ・ブースト方式、ブースター電極方式あるいはCBC方式によって他の選択メモリ素子のチャネル形成領域の電位 $V_{ch}$ を昇圧したとき、他の選択メモリ素子のチャネル形成領域の電位 $V_{ch}$ が十分には上昇せず（例えば、7ボルトに達せず）、他の選択メモリ素子において、制御電極の電位とチャネル形成領域の電位 $V_{ch}$ の差が大きくなり、データ書き込み時のディスタブ特性が劣化するという問題が生じる。即ち、他の選択メモリ素子に対するディスタブ特性のマージンが無くなる可能性がある。

【0024】従って、本発明の目的は、メモリ素子の微細化を進める場合にあっては、データ書き込み時のディスタブ特性が劣化するという問題を確実に回避することができる不揮発性半導体メモリセル、並びに、かかる不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法を提供することにある。

【0025】

【課題を解決するための手段】上記の目的を達成するための本発明の第1の態様に係る不揮発性半導体メモリセルは、セルフ・ブースト方式の不揮発性半導体メモリセルであり、（イ）基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、（ロ）各制御電極に接続された複数のワード線、（ハ）メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、（ニ）メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、並びに、（ホ）ワード線にプログラム電位を印加するためのワード線制御回路、を具備し、メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づきチャネル形成領域を昇圧する不揮発性半導体メモリセルであって、チャネル形成領域の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、メモリ素子に記憶されたデータ

を読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えていることを特徴とする。

【0026】上記の目的を達成するための本発明の第2の態様に係る不揮発性半導体メモリセルは、ブースター電極方式の不揮発性半導体メモリセルであり、（イ）基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、（ロ）各制御電極に接続された複数のワード線、（ハ）メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、（ニ）メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、（ホ）ワード線に所定の電位を印加するためのワード線制御回路、（ヘ）メモリ・ストリングを構成する各メモリ素子の制御電極、電荷蓄積部及びソース/ドレイン領域上に被覆する層間絶縁膜上に形成されたブースター電極、並びに、（ト）ブースター電極にブースト電位を印加するためのブースト電位印加手段、を具備し、メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線に所定の電位を印加し、且つ、ブースト電位印加手段の動作によりブースター電極にブースト電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、ブースター電極とソース/ドレイン領域領域との容量結合に基づきチャネル形成領域を昇圧する不揮発性半導体メモリセルであって、チャネル形成領域の不純物濃度は $2 \times 10^{17} \text{ cm}^{-3}$ 以下であり、メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えていることを特徴とする。

【0027】上記の目的を達成するための本発明の第3の態様に係る不揮発性半導体メモリセルは、CBC方式の不揮発性半導体メモリセルであり、（イ）基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、（ロ）各制御電極に接続された複数のワード線、（ハ）メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、（ニ）メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン

領域に、第2の選択トランジスタを介して接続されたソース線、(ホ)ワード線にプログラム電位を印加するためのワード線制御回路、並びに、(ヘ)メモリ・ストリングを構成する各メモリ素子の制御電極の少なくとも頂面の上方に層間絶縁膜を介して形成され、且つ、メモリ・ストリングを構成する1つのメモリ素子の一方のソース/ドレイン領域に接続された導電層、を具備し、メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、制御電極と導電層との容量結合に基づきチャネル形成領域を昇圧する不揮発性半導体メモリセルであって、チャネル形成領域の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えていることを特徴とする。

【0028】上記の目的を達成するための本発明の第1の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法は、(イ)基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、(ロ)各制御電極に接続された複数のワード線、(ハ)メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、(ニ)メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、並びに、(ホ)ワード線にプログラム電位を印加するためのワード線制御回路、を具備し、チャネル形成領域の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下 $\text{cm}^{-3}$ 以下であり、メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えている、セルフ・ブースト方式の不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法であって、メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、及び、電荷蓄積部とチャネル形成領域との容量結合に基づきチャネル形成領域を昇圧し、メモリ素子からのデー

タ読み出しに際して、バイアス印加手段によって基体又はソース線にバイアスを印加することを特徴とする。

【0029】上記の目的を達成するための本発明の第2の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法は、(イ)基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、(ロ)各制御電極に接続された複数のワード線、(ハ)メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、(ニ)メモリ・ストリングの他端のメモリ素子の一方のソース/ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、(ホ)ワード線に所定の電位を印加するためのワード線制御回路、(ヘ)メモリ・ストリングを構成する各メモリ素子の制御電極、電荷蓄積部及びソース/ドレイン領域上に被覆する層間絶縁膜上に形成されたブースター電極、並びに、(ト)ブースター電極にブースト電位を印加するためのブースト電位印加手段、を具備し、チャネル形成領域の不純物濃度は $2 \times 10^{17} \text{ cm}^{-3}$ 以下であり、メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えている不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法であって、メモリ素子へのデータ書き込みに際し、ワード線制御回路の作動によりワード線に所定の電位を印加し、且つ、ブースト電位印加手段の動作によりブースター電極にブースト電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、ブースター電極とソース/ドレイン領域領域との容量結合に基づきチャネル形成領域を昇圧し、メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体又はソース線にバイアスを印加することを特徴とする。

【0030】上記の目的を達成するための本発明の第3の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法は、(イ)基体に形成されたソース/ドレイン領域及びチャネル形成領域、チャネル形成領域上に形成された電荷蓄積部、並びに、電荷蓄積部上に形成された制御電極を有する、電氣的書き換えが可能なメモリ素子が、複数、直列接続されたメモリ・ストリング、(ロ)各制御電極に接続された複数のワード線、(ハ)メモリ・ストリングの一端のメモリ素子の一方のソース/ドレイン領域に、第1の選択トランジスタを介して接続されたビット線、(ニ)メモリ・ストリ

ングの他端のメモリ素子の一方のソース／ドレイン領域に、第2の選択トランジスタを介して接続されたソース線、(ホ)ワード線にプログラム電位を印加するためのワード線制御回路、並びに、(ヘ)メモリ・ストリングを構成する各メモリ素子の制御電極の少なくとも頂面の上方に層間絶縁膜を介して形成され、且つ、メモリ・ストリングを構成する1つのメモリ素子の一方のソース／ドレイン領域に接続された導電層、を具備し、チャネル形成領域の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、メモリ素子に記憶されたデータを読み出す際に基体又はソース線にバイアスを印加するためのバイアス印加手段を更に備えている、CBC方式の不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法であって、メモリ素子へのデータ書き込みの際に、ワード線制御回路によってワード線にプログラム電位を印加し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、少なくとも、制御電極と電荷蓄積部との容量結合、電荷蓄積部とチャネル形成領域との容量結合、及び、制御電極と導電層との容量結合に基づきチャネル形成領域を昇圧し、メモリ素子からのデータ読み出しの際に、バイアス印加手段によって基体又はソース線にバイアスを印加することを特徴とする。

【0031】本発明の第2の態様に係る不揮発性半導体メモリセル、あるいは、本発明の第2の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法においては、メモリ・ストリング全体を層間絶縁膜を介してブースター電極で被覆し、隣接するメモリ・ストリング全体をも連続して層間絶縁膜を介してブースター電極で被覆してもよく、例えば多数のメモリ・ストリングで構成されたブロックを単位として、かかる1ブロック分の多数のメモリ・ストリングを層間絶縁膜を介してブースター電極で被覆する構成としてもよい。ブースター電極は、ブロック毎に独立させることが好ましい。ブースター電極にブースト電位を印加するためのブースト電位印加手段は、ワード線制御回路内に設けてもよく、あるいは又、ビット線制御回路内に設けてもよく、更には、ワード線制御回路で代用してもよい。ワード線に印加する所定の電位とブースター電極に印加するブースト電位とは、同一であっても異なってもよい。

【0032】本発明の第3の態様に係る不揮発性半導体メモリセル、あるいは、本発明の第3の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法においては、導電層は、メモリ・ストリングを構成する各メモリ素子の制御電極の側壁の上方まで延在するように層間絶縁膜を介して形成されていることが好ましい。尚、導電層は、メモリ・ストリング毎に設け

ることが好ましい。

【0033】本発明の不揮発性半導体メモリセル、並びに、不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法においては、電荷蓄積部を、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜上に形成された浮遊電極、及び、浮遊電極と制御電極との間に形成された絶縁層から成る構成とすることができる。即ち、各メモリ素子を、所謂、浮遊電極型メモリ素子とすることができる。この場合、電荷蓄積部を構成するトンネル絶縁膜は、半導体基板の表面を例えば熱酸化処理、あるいは熱酸化処理及び窒化処理することによって形成することができ、 $\text{SiO}_2$ 、 $\text{SiO}_2/\text{SiN}$ 、 $\text{SiON}$ 、 $\text{SiO}_2/\text{SiON}$ 等から構成することができる。浮遊電極は、例えば、不純物を含有するポリシリコンから構成することができる。浮遊電極と制御電極との間に形成された絶縁層は、ONO膜、ON膜、 $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜、 $\text{SiON}$ 膜等から構成することができる。

【0034】あるいは又、本発明の不揮発性半導体メモリセル、並びに、不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法においては、電荷蓄積部を、チャネル形成領域上に形成された第1の酸化膜、第1の酸化膜上に形成された窒化膜、及び、窒化膜と制御電極との間に形成された第2の酸化膜から成る構成とすることができる。即ち、各メモリ素子を、所謂、MONOS型メモリ素子とすることができる。この場合、電荷蓄積部を構成する第1及び第2の酸化膜を $\text{SiO}_2$ 膜とし、窒化膜を $\text{SiN}$ 膜とすることができる。即ち、電荷蓄積部をONO膜から構成することができる。

【0035】更には、本発明の不揮発性半導体メモリセル、並びに、不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法においては、電荷蓄積部を、チャネル形成領域上に形成された酸化膜、及び、酸化膜と制御電極との間に形成された窒化膜から成る構成とすることができる。即ち、各メモリ素子を、所謂、MNOS型メモリ素子とすることができる。この場合、電荷蓄積部を構成する酸化膜を $\text{SiO}_2$ 膜とし、窒化膜を $\text{SiN}$ 膜とすることができる。即ち、電荷蓄積部をON膜から構成することができる。

【0036】あるいは又、本発明の不揮発性半導体メモリセル、並びに、不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法においては、電荷蓄積部を、チャネル形成領域上に形成されたトンネル絶縁膜、トンネル絶縁膜と制御電極との間に形成された絶縁層、及び、該絶縁層中に設けられた導電性微小結晶粒子から成る構成とすることができる。即ち、各メモリ素子を、所謂、ナノクリスタル型メモリ素子とすることができる。尚、トンネル絶縁膜上に導電性微小結晶粒子を形成し、導電性微小結晶粒子と制御電極との間に絶縁層を形成する形態もナノクリスタル型メモリ素子に包含され

る。これらの場合、トンネル絶縁膜は、半導体基板の表面を例えば熱酸化処理、あるいは熱酸化処理及び窒化処理することによって形成することができ、 $\text{SiO}_2$ 、 $\text{SiO}_2/\text{SiN}$ 、 $\text{SiON}$ 、 $\text{SiO}_2/\text{SiON}$ 等から構成することができる。また、導電性微小結晶粒子は、シリコンやゲルマニウムから構成することができる。更には、導電性微小結晶粒子と制御電極との間に形成された絶縁層は、ONO膜、ON膜、 $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜、 $\text{SiON}$ 膜等から構成することができる。

【0037】本発明における基体としては、p型半導体基板、若しくは、p型ウエルを挙げることができる。尚、p型ウエルは、n型半導体基板内に形成されていてもよいし、p型半導体基板内に形成されたn型ウエル内に形成されていてもよい。また、不揮発性半導体メモリセルの全てが1つのp型ウエル内に形成されていてもよいし、複数のp型ウエル内に複数の不揮発性半導体メモリセルを形成してもよい。制御電極は、例えば、不純物を含有するポリシリコン層、不純物を含有するポリシリコン層とタングステンシリサイド等のシリサイド層の積層構造（ポリサイド構造）、タングステン等の高融点金属材料層や、シリサイド層から構成することができる。ワード線は、制御電極と一体に、ワード線から延在するように形成することができる。ブースター電極や導電層も、例えば、不純物を含有するポリシリコン層、不純物を含有するポリシリコン層とタングステンシリサイド等のシリサイド層の積層構造（ポリサイド構造）、タングステン等の高融点金属材料層や、シリサイド層から構成することができる。層間絶縁膜を構成する材料として、BPSG、PSG、BSG、AsSG、PbSG、SbSG、NSG、SOG、LTO（Low Temperature Oxide、低温CVD- $\text{SiO}_2$ ）、HTO（High Temperature Oxide、高温CVD- $\text{SiO}_2$ ）、 $\text{SiN}$ 、 $\text{SiON}$ 、あるいは、これらの材料の積層構造〔例えばONO膜（ $\text{SiO}_2$ 膜/ $\text{SiN}$ 膜/ $\text{SiO}_2$ 膜）、ON膜（ $\text{SiO}_2$ 膜/ $\text{SiN}$ 膜）〕を挙げることができる。

【0038】第1の選択トランジスタ及び第2の選択トランジスタは、例えば、通常のnチャネル型MOS FETから構成することができる。また、ワード線制御回路、ブースト電位印加手段、バイアス印加手段は、周知の回路構成とすればよい。

【0039】尚、本発明の不揮発性半導体メモリセル、並びに、不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法においては、浮遊電極への電子の注入、浮遊電極からの電子の引き抜きにより、データの書き込み、消去が行われ、データ書き込み動作及び消去動作はファウラー・ノルドハイム（Fowler-Nordheim）・トンネル現象に基づき行われる。ここで、データ消去動作とは、複数のメモリ素子の閾値電圧をブロック毎に一括して所定の状態に変えることを意味し、データ書き込み動作とは、ページ単位で選択メモリ素子の閾値

電圧をもう1つの所定の状態に変えることを意味する。

【0040】本発明においては、セルフ・ブースト方式、ブースター電極方式及びCBC方式に依存して、チャネル形成領域の不純物濃度の上限が規定されている。その結果、選択メモリ素子へのデータ書き込みに際して、データ書き込みが禁止された他のメモリ・ストリングにおける他の選択メモリ素子においては、基体又はソース線にバイアスを印加せず、ソース/ドレイン領域又はチャネル形成領域から空乏層を延ばし、チャネル寄生容量 $C_{ch}$ やソース/ドレイン寄生容量を低減させることができる。その結果、式（1）、式（2）、式（3）における係数 $Cr_1$ 、 $Cr_2$ 、 $Cr_3$ 、 $Cr_4$ の値が小さくなることを抑制でき、他のメモリ・ストリングにおける各メモリ素子のチャネル形成領域の電位 $V_{ch}$ を、例えば7ボルト以上に上昇させることができる。それ故、他の選択メモリ素子において、制御電極の電位とチャネル形成領域の電位 $V_{ch}$ の差が大きくなり、データ書き込み時のディスタート特性が劣化するといった問題を確実に回避することができる。尚、チャネル形成領域の不純物濃度に依っては、データの書き込み時、メモリ素子にパンチスルー現象が発生する場合もあるが、問題は生じない。本発明においては、メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体又はソース線にバイアスを印加する。これによって、パンチスルー現象が発生しているメモリ素子においても、パンチスルー電流の発生を防止することができ、メモリ素子は正常にオン・オフ動作する。

【0041】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明する。

【0042】（実施の形態1）実施の形態1は、本発明の第1の態様に係る不揮発性半導体メモリセル、並びに、本発明の第1の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法に関する。実施の形態1における不揮発性半導体メモリセルは、セルフ・ブースト方式の不揮発性半導体メモリセルであり、各メモリ素子は、浮遊電極型メモリ素子である。実施の形態1のメモリ・ストリング等の模式的な一部断面図を図2に示し、等価回路を図3に示す。また、制御電極と電荷蓄積部との容量結合や、電荷蓄積部とチャネル形成領域との容量結合等の等価回路を、図22に示す。

【0043】実施の形態1のメモリ・ストリングは、電氣的書き換えが可能なメモリ素子（浮遊電極型メモリ素子）が、複数、直列接続されている。図に示したメモリ・ストリングにおいては、8つのメモリ素子 $M_0 \sim M_7$ が直列接続されているが、メモリ・ストリングを構成するメモリ素子の数は8に限定されない。各メモリ素子は、基体に相当するp型ウエル11Bに形成されたソース/

ドレイン領域13及びチャネル形成領域12、チャネル形成領域12上に形成された電荷蓄積部14、15、16、並びに、電荷蓄積部上に形成された制御電極17から構成されている。p型ウエル11Bはn型ウエル11A内に形成され、n型ウエル11Aはp型シリコン半導体基板10内に形成されている。制御電極17は、例えば、不純物を含有するポリシリコン層から構成されている。また、制御電極17のそれぞれには、ワード線が接続されている。具体的には、制御電極17とワード線とは一体に形成されている。実施の形態1のNANDストリング型メモリセルは、また、メモリ・ストリングの一端のメモリ素子 $M_0$ に接続された第1の選択トランジスタDSG、及びメモリ・ストリングの他端のメモリ素子 $M_7$ に接続された第2の選択トランジスタSSGから構成されている。そして、メモリ・ストリングの一端のメモリ素子 $M_0$ の一方のソース/ドレイン領域13は、第1の選択トランジスタDSG、コンタクトプラグ21を介してビット線BLに接続されている。一方、メモリ・ストリングの他端のメモリ素子 $M_7$ の一方のソース/ドレイン領域13は、第2の選択トランジスタSSGを介して共通ソース線に接続されている。層間絶縁層20上に形成されたビット線BLは、図示しないビット線制御回路に接続されている。実施の形態1におけるビット線制御回路は、ビット線毎に設けられたCMOSフリップフロップとアドレスレコーダを主体に構成された周知の回路とすればよい。ワード線制御回路は、図4に示すように、ブロックアドレスレコーダと電圧変換回路とCMOSTランジスタによる電圧転送回路とドライバー（駆動回路）から構成された周知の回路とすればよい。また、メモリ素子に記憶されたデータを読み出す際に基体であるp型ウエル11Bにバイアスを印加するためのバイアス印加手段（図示せず）が備えられている。

【0044】実施の形態1においては、電荷蓄積部は、チャネル形成領域12上に形成されたトンネル絶縁膜14、トンネル絶縁膜14上に形成された浮遊電極15、及び、浮遊電極15と制御電極17との間に形成された絶縁層16から成る。尚、トンネル絶縁膜14はSiO<sub>2</sub>から成り、浮遊電極15は不純物を含有するポリシリコン層から構成されており、絶縁層16はONO膜から構成されている。

【0045】ワード線制御回路を示す図4、各メモリ素子に印加される電位（電圧）の値を例示した図表である図5、データ書き込み動作及びデータ読み出し動作における信号波形を示す図6を参照して、以下、実施の形態1のNANDストリング型メモリセルのデータ書き込み動作、データ読み出し動作及びデータ消去動作を説明する。尚、図5、図6、図11、図12、図15及び図16においては、プログラム電位を $V_{pgm}$ と表記する。

【0046】尚、メモリ・ストリングを構成するメモリ素子 $M_0 \sim M_7$ の内のメモリ素子 $M_1$ にデータを書き込む

場合を想定する。即ち、メモリ素子 $M_1$ を選択メモリ素子とし、メモリ素子 $M_0$ 、 $M_2 \sim M_7$ を非選択メモリ素子とする。この選択メモリ素子 $M_1$ を含むメモリ・ストリングを、便宜上、選択メモリ・ストリングと呼ぶ。また、選択メモリ素子 $M_1$ に接続されたワード線を選択ワード線と呼び、非選択メモリ素子 $M_0$ 、 $M_2 \sim M_7$ に接続されたワード線を非選択ワード線と呼ぶ。更には、選択ワード線に接続された他のNANDストリング型メモリセルにおける他の選択メモリ素子を $M'_1$ で表す。この他の選択メモリ素子 $M'_1$ においては、データの書き込みが禁止される。即ち、この他の選択メモリ素子 $M'_1$ にデータが書き込まれず、当初のデータが保持される。他の選択メモリ素子 $M'_1$ を含むメモリ・ストリングを、便宜上、非選択メモリ・ストリングと呼ぶ。また、第1の選択トランジスタDSGのゲート電極はメモリ・ストリング選択線1に接続されており、第2の選択トランジスタSSGのゲート電極はメモリ・ストリング選択線2に接続されている。以上の構成は、以下の実施の形態2、実施の形態3及び実施の形態4においても同様とする。

【0047】書き込み動作の開始前の書き込みセットアップにおいては、先ず、ビット線制御回路のビット線毎に設けられたCMOSフリップフロップに書き込みデータをラッチする。そして、選択メモリ・ストリングに接続されたビット線の電位 $V_{BL}$ 「0」を0ボルトとし、非選択メモリ・ストリングに接続されたビット線の電位 $V_{BL}$ 「1」を $V_{cc}$ とする。また、共通ソース線の電位（ $=\phi_s$ ）及びシリコン半導体基板10の電位を0ボルトとする。即ち、バイアス印加手段は動作させない。

【0048】書き込み動作の開始において、ブロックアドレスレコーダの出力信号は選択ブロックにおいては「H」となり、電圧変換回路の $V_{pp}$  RWが $V_{cc}$ からプログラム電位 $V_{program}$ に昇圧される。また、DSGドライバーは $V_{cc}$ （ $=\phi_{SG1}$ ）を、SSGドライバーは0ボルト（ $=\phi_{SG2}$ ）を、CG0ドライバー、CG2ドライバー～CG7ドライバーはプログラム禁止電位 $V_{pass}$ （図6において、「 $\phi_{WL1}$ 以外」で表す）を、それぞれ、出力する。また、CG1ドライバーはプログラム電位 $V_{program}$ （ $\phi_{WL1}$ ）を出力する。

【0049】選択メモリ・ストリングにおいては、ビット線BLの電位が0ボルトであり、メモリ・ストリング選択線1の電位が $V_{cc}$ であるが故に、第1の選択トランジスタDSGが導通し、メモリ・ストリング選択線2の電位が0ボルトであるが故に、第2の選択トランジスタSSGは非導通状態となる。そして、ビット線BLの電位がメモリ素子のソース/ドレイン領域13へと転送される。選択メモリ素子 $M_1$ においては、選択ワード線の電位（ $\phi_{WL1}$ ）がプログラム電位 $V_{program}$ であるため、制御電極17の電位もプログラム電位 $V_{program}$ となる。以上の結果、制御電極17とチャネル形成領域1

2との間の電位差に基づき、チャネル形成領域12から浮遊電極15への電子の注入が生じ、選択メモリ素子 $M_1$ の閾値電圧 $V_{th}$ が当初の負から正方向にシフトし、データが選択メモリ素子 $M_1$ に書き込まれる。一方、非選択メモリ素子 $M_0, M_2 \sim M_7$ においては、非選択ワード線の電位( $\phi WL_1$ 以外)がプログラム禁止電位 $V_{pass}$ であるため、制御電極17とチャネル形成領域12との間には大きな電位差が生ぜず、チャネル形成領域12から浮遊電極15への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子 $M_0, M_2 \sim M_7$ に保持される。

【0050】一方、非選択メモリ・ストリングにおいては、ビット線BLの電位が $V_{cc}$ であり、第1の選択トランジスタDSGは導通状態にある。そして、他の選択メモリ素子 $M'_1$ においても、選択ワード線の電位( $\phi WL_1$ )がプログラム電位 $V_{program}$ であるため、他の選択メモリ素子 $M'_1$ の制御電極17の電位もプログラム電位 $V_{program}$ となる。以上の結果、他の選択メモリ素子の制御電極17の電位の昇圧による制御電極17と浮遊電極15との容量結合、及び、浮遊電極15とチャネル形成領域12との容量結合に基づき、他の選択メモリ素子 $M'_1$ のチャネル形成領域12が例えば7ボルト程度に昇圧され、ほぼ同時に、第1の選択トランジスタDSGのソース領域側の電位が上昇する結果、第1の選択トランジスタDSGは非導通状態となり、チャネル形成領域12の電位が保持される。その結果、チャネル形成領域12から浮遊電極15への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0051】データ読み出し動作においては、バイアス印加手段(図示せず)によって基体であるp型ウエル11Bにバイアス $V_{bias}$ を印加する。バイアス $V_{bias}$ の電位は、パンチスルー現象が発生しているメモリ素子において、パンチスルー電流の発生を防止することができ、メモリ素子が正常にオン・オフ動作するような電位とすればよい。そして、ビット線BLに例えば1.5ボルトを印加し、メモリ・ストリング選択線1の電位( $\phi SG_1$ )及びメモリ・ストリング選択線2の電位( $\phi SG_2$ )を $V_{cc}$ とし、第1の選択トランジスタDSG及び第2の選択トランジスタSSGを導通状態とする。また、選択ワード線に0ボルトを印加し、非選択ワード線には $V_{cc}$ を印加する。これによって、非選択メモリ素子 $M_0, M_2 \sim M_7$ は導通状態となる。一方、選択メモリ素子 $M_1$ の閾値電圧 $V_{th}$ に依存して、選択メモリ素子 $M_1$ は導通状態あるいは非導通状態となる。即ち、選択メモリ素子にデータ「0」が保持されている場合には、選択メモリ素子 $M_1$ は非導通状態となり、ビット線BLの電位は1.5ボルトを保持する。また、選択メモリ素子にデータ「1」が保持されている場合には、選択メモリ素子 $M_1$

は導通状態となり、ビット線BLの電位は1.5ボルトよりも低下する。このビット線の電位をビット線制御回路によって検出することにより、選択メモリ素子 $M_0$ にデータ「0」あるいは「1」が保持されていることを読み出すことができる。

【0052】データ消去動作においては、ビット線BL、メモリ・ストリング選択線1、メモリ・ストリング選択線2、共通ソース線の全てをフローティング状態とし、シリコン半導体基板10に $V_{erase}$ (例えば20ボルト)を印加し、選択ブロックのワード線電位を0ボルトとする。また、非選択ブロックのワード線をフローティング状態とする。これによって、選択ブロックにおいては、浮遊電極からの電子の引き抜きによりデータが消去される。

【0053】ONO膜から構成された絶縁層16の厚さを15nm、トンネル絶縁膜14の厚さを8nm、浮遊電極15の面積をチャネル形成領域12の面積の3倍とし、1つのメモリ・ストリングを構成するメモリ素子の個数Nを16とした。尚、以下に説明する実施の形態2及び実施の形態4においても、同様の値を用いた。また、ビット線BLを介してメモリ素子のチャネル形成領域12に印加される電位 $V_{chini}$ を1.5ボルト、プログラム電位 $V_{program}$ を18ボルト、プログラム禁止電位 $V_{pass}$ を10ボルト、メモリ素子の閾値電圧 $V_{th}$ を1ボルトとした。そして、チャネル形成領域12の不純物濃度を変化させたときの、チャネル形成領域の電位 $V_{ch}$ を式(1)に基づき計算にて求めた結果を図1に黒四角にて示す。一般に、他の選択メモリ素子 $M'_1$ のチャネル形成領域12の電位 $V_{ch}$ が7ボルト以上であれば、チャネル形成領域12から浮遊電極15への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。図1から明らかなように、チャネル形成領域12の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下であれば、チャネル形成領域12の電位 $V_{ch}$ が7ボルト以上となる。尚、因みに、チャネル形成領域12の不純物濃度が $3 \times 10^{17} \text{ cm}^{-3}$ の場合、チャネル形成領域12の電位 $V_{ch}$ は6.2ボルトとなる。

【0054】尚、デザイン・ルールが $0.35 \mu\text{m}$ のメモリ素子において、通常の動作(即ち、パンチスルー現象が発生しないこと)を保証するために要求されるチャネル形成領域12の不純物濃度の下限値は、 $1 \times 10^{17} \text{ cm}^{-3}$ である。従って、デザイン・ルールが $0.35 \mu\text{m}$ を下回るスケージングを進める場合、チャネル形成領域12の不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ を越える値にする必要がある。例えば、デザイン・ルールが $0.18 \mu\text{m}$ のメモリ素子において、通常の動作を保証するために要求されるチャネル形成領域12の不純物濃度の下限値は、 $2 \times 10^{17} \text{ cm}^{-3}$ である。従って、デザイン・ルールが $0.18 \mu\text{m}$ あるいはそれ以下のメモリ素子において、チャネル形成領域12の不純物濃度の上限値を $1 \times$

$10^{17} \text{ cm}^{-3}$ とすると、メモリ素子にはパンチスルー現象が発生する。しかしながら、メモリ素子へのデータの書き込みに、問題は生じない。メモリ素子からのデータ読み出しに際しては、バイアス印加手段によって基体にバイアスを印加するので、パンチスルー現象が発生しているメモリ素子においても、パンチスルー電流の発生を防止することができ、メモリ素子は正常にオン・オフ動作する。

【0055】(実施の形態2) 実施の形態2は、本発明の第2の態様に係る不揮発性半導体メモリセル、並びに、本発明の第2の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法に関する。実施の形態2における不揮発性半導体メモリセルは、ブースター電極方式の不揮発性半導体メモリセルであり、各メモリ素子は、浮遊電極型メモリ素子である。実施の形態2のメモリ・ストリング等の模式的な一部断面図を図7に示し、等価回路を図9に示す。また、制御電極と電荷蓄積部との容量結合や電荷蓄積部とチャネル形成領域との容量結合等の等価回路を、図23に示す。図7の矢印A-Aに沿った隣接する複数のメモリ・ストリング等の模式的な一部断面図を図8の(A)に示す。即ち、図7は、ビット線と平行な垂直面でメモリ素子のチャネル形成領域やソース/ドレイン領域を切断したときの図であり、図8の(A)は、ワード線と平行な垂直面でメモリ素子のチャネル形成領域を切断したときの図である。更に、1つのメモリ素子の模式的な断面図を図8の(B)に示す。

【0056】実施の形態2のメモリ・ストリングは、電気的書き換えが可能なメモリ素子(浮遊電極型メモリ素子)が、複数、直列接続されている。図に示したメモリ・ストリングにおいては、8つのメモリ素子 $M_0 \sim M_7$ が直列接続されているが、メモリ・ストリングを構成するメモリ素子の数は8に限定されない。メモリ・ストリング及び各メモリ素子の基本的な構造は、実施の形態1にて説明したメモリ・ストリング及びメモリ素子と同様であるので、詳細な説明は省略し、実施の形態1と相違する点を、以下に説明する。

【0057】実施の形態2においては、メモリ・ストリングを構成する各メモリ素子 $M_0 \sim M_7$ の制御電極17の頂面及び側面、電荷蓄積部14、15、16の側面、並びに、ソース/ドレイン領域13は、層間絶縁膜18によって被覆されている。更には、ブースター電極19が、層間絶縁膜18上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子 $M_0 \sim M_7$ の制御電極17の頂面の上方から制御電極17の側面の上方及び電荷蓄積部14、15、16の側面の上方を経由してソース/ドレイン領域16の上方へと延在している。即ち、ブースター電極19は、層間絶縁膜18を介してメモリ・ストリング全体を被覆している。更には、例えば512個のメモリ・ストリングで構成されたブロックを単位とし

て、かかる1ブロック分の512×8個のメモリ素子が層間絶縁膜18を介してブースター電極19で被覆されている。尚、1ブロック内のメモリ素子の個数はかかる個数に限定されない。層間絶縁膜18は $\text{SiO}_2$ から構成されており、ブースター電極19は、不純物を含有するポリシリコン層とタングステンシリサイド層の2層構成(ポリサイド構造)である。

【0058】実施の形態2においては、このように、ブースター電極19は、層間絶縁膜18上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子の制御電極17の頂面の上方から制御電極17の側面の上方及び電荷蓄積部14、15、16の側面の上方を経由してソース/ドレイン領域13の上方へと延在する。これによって、ブースター電極19と制御電極17との容量結合が、制御電極17の頂面だけでなく側面とにも基づき形成される。しかも、ブースター電極19と電荷蓄積部14、15、16との容量結合、並びにブースター電極19とソース/ドレイン領域13との容量結合を得ることができるので、他のメモリ・ストリングにおけるデータ書き込みが禁止された他の選択メモリ素子のチャネル形成領域の昇圧を確実に行うことができ、ディスタープ特性が劣化するといった問題の発生を確実に回避することができる。

【0059】尚、ブースター電極19の構造はこれに限定するものではなく、メモリ・ストリングを構成する各メモリ素子の制御電極17の頂面の上方にのみ形成してもよいし、制御電極17の頂面及び側面の上方にのみ形成してもよいし、制御電極17の頂面から側面の上方を経由して電荷蓄積部14、15、16の側面の上方まで延在するように形成してもよい。

【0060】ワード線制御回路は、図10に示すように、実施の形態1にて説明したと同様、ブロックアドレスレコードと電圧変換回路とCMOSトランジスタによる電圧転送回路とドライバー(駆動回路)から構成された周知の回路とすればよいが、このワード線制御回路には、ブースター電極19にブースト電位 $V_{\text{boost}}$ を印加するためのブースト電位印加手段が組み込まれている。このブースト電位印加手段は、ブースト電位 $V_{\text{boost}}$ を出力するPLドライバーとMOSトランジスタから構成されている。

【0061】実施の形態2においては、nチャネル型MOSFETから構成されたスイッチ用トランジスタ $WC_0 \sim WC_7$ (図9及び図10参照)が、ワード線制御回路と各ワード線との間に設けられている。そして、メモリ素子 $M_0 \sim M_7$ へのデータ書き込みに際して、スイッチ用トランジスタ $WC_0 \sim WC_7$ を非導通状態とすることによって、各ワード線をワード線制御回路から電氣的に切り離すことができる。

【0062】ワード線制御回路及びブースト電位印加手段を示す図10、各メモリ素子に印加される電位(電



圧)の値を例示した図表である図11、データ書き込み動作及びデータ読み出し動作における信号波形を示す図12を参照して、以下、実施の形態2のNANDストリング型メモリセルのデータ書き込み動作、データ読み出し動作及びデータ消去動作を説明する。

【0063】書き込み動作の開始前の書き込みセットアップにおいては、まず、ビット線制御回路のビット線毎に設けられたCMOSフリップフロップに書き込みデータをラッチする。そして、選択メモリ・ストリングに接続されたビット線の電位 $V_{BL}$ 「0」を0ボルトとし、非選択メモリ・ストリングに接続されたビット線の電位 $V_{BL}$ 「1」を $V_{cc}$ とする。また、共通ソース線の電位(=  $\phi_s$ )及びシリコン半導体基板10の電位を0ボルトとする。即ち、バイアス印加手段は動作させない。

【0064】書き込み動作の開始において、ブロックアドレスレコーダの出力信号は選択ブロックにおいては「H」となり、電圧変換回路の $V_{pp}$ 、RWが $V_{cc}$ から所定の電位であるプログラム電位 $V_{program}$ に昇圧される。また、DSGドライバーは $V_{cc}$ (=  $\phi SG_1$ )を、SSGドライバーは0ボルト(=  $\phi SG_2$ )を、CG0ドライバー、CG2ドライバー～CG7ドライバーは例えば $V_{cc}$ ボルトのプログラム禁止電位 $V_{pass}$ (図11において、「 $\phi WL_1$ 以外」で表す)を、それぞれ、出力する。また、CG1ドライバーはプログラム電位 $V_{program}$ ( $\phi WL_1$ ) (例えば、12ボルト)を出力する。更には、PLドライバーはブースト電位( $\phi_{boost}$ )を出力する。

【0065】選択メモリ・ストリングにおいては、ビット線BLの電位が0ボルトであり、メモリ・ストリング選択線1の電位が $V_{cc}$ であるが故に、第1の選択トランジスタDSGが導通し、メモリ・ストリング選択線2の電位が0ボルトであるが故に、第2の選択トランジスタSSGは非導通状態となる。そして、ビット線BLの電位がメモリ素子のソース/ドレイン領域13へと転送される。選択メモリ素子 $M_1$ においては、選択ワード線の電位( $\phi WL_1$ )がプログラム電位 $V_{program}$ であるため、制御電極17の電位もプログラム電位 $V_{program}$ となる。

【0066】同時に、ブースター電極19にブースト電位印加手段からブースト電位 $V_{boost}$ (例えば、12ボルト)を印加する。以上の結果、制御電極17とチャネル形成領域12との間の電位差に基づき、チャネル形成領域12から浮遊電極15への電子の注入が生じ、選択メモリ素子 $M_1$ の閾値電圧 $V_{th}$ が当初の負から正方向にシフトし、データが選択メモリ素子 $M_1$ に書き込まれる。一方、非選択メモリ素子 $M_0, M_2 \sim M_7$ においては、非選択ワード線の電位( $\phi WL_1$ 以外)が例えば $V_{cc}$ ボルトのプログラム禁止電位 $V_{pass}$ であるため、制御電極17とチャネル形成領域12との間には大きな電位差が生ぜず、チャネル形成領域12から浮遊電極15へ

の電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子 $M_0, M_2 \sim M_7$ に保持される。

【0067】一方、非選択メモリ・ストリングにおいては、ビット線BLの電位が $V_{cc}$ であり、第1の選択トランジスタDSGは導通状態にある。そして、他の選択メモリ素子 $M'_1$ においても、選択ワード線の電位( $\phi WL_1$ )が $V_{program}$ であるため、他の選択メモリ素子 $M'_1$ の制御電極17の電位も $V_{program}$ となる。そして、ブースター電極19にブースト電位印加手段からブースト電位 $V_{boost}$ が印加される。以上の結果、他の選択メモリ素子の制御電極17の電位の昇圧による制御電極17と浮遊電極15との容量結合、及び、浮遊電極15とチャネル形成領域12との容量結合に基づき、更には、ブースター電極19と浮遊電極15との容量結合、及び、ブースター電極19とソース/ドレイン領域13との容量結合に基づき、他の選択メモリ素子 $M'_1$ のチャネル形成領域12が例えば7ボルト程度に昇圧され、ほぼ同時に、第1の選択トランジスタDSGのソース領域側の電位が上昇する結果、第1の選択トランジスタDSGは非導通状態となり、チャネル形成領域12の電位が保持される。その結果、チャネル形成領域12から浮遊電極15への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0068】データ読み出し動作においては、バイアス印加手段(図示せず)によって基体であるp型ウエル11Bにバイアス $V_{bias}$ を印加する。バイアス $V_{bias}$ の電位は、パンチスルー現象が発生しているメモリ素子において、パンチスルー電流の発生を防止することができ、メモリ素子が正常にオン・オフ動作するような電位とすればよい。そして、ビット線BLに例えば1.5ボルトを印加し、メモリ・ストリング選択線1の電位( $\phi SG_1$ )及びメモリ・ストリング選択線2の電位( $\phi SG_2$ )を $V_{cc}$ とし、第1の選択トランジスタDSG及び第2の選択トランジスタSSGを導通状態とする。ブースター電極19には0ボルト又は $V_{cc}$ を印加する。また、選択ワード線に0ボルトを印加し、非選択ワード線には例えば $V_{cc}$ ボルトを印加する。これによって、非選択メモリ素子 $M_0, M_2 \sim M_7$ は導通状態となる。一方、選択メモリ素子 $M_1$ の閾値電圧 $V_{th}$ に依存して、選択メモリ素子 $M_1$ は導通状態あるいは非導通状態となる。即ち、選択メモリ素子にデータ「0」が保持されている場合には、選択メモリ素子 $M_1$ は非導通状態となり、ビット線BLの電位は1.5ボルトを保持する。また、選択メモリ素子にデータ「1」が保持されている場合には、選択メモリ素子 $M_1$ は導通状態となり、ビット線BLの電位は1.5ボルトよりも低下する。このビット線の電位をビット線制御回路によって検出することにより、選択メモリ素子 $M_0$ にデータ「0」あるいは「1」が保持されていることを読み出すことができる。

【0069】データ消去動作においては、ビット線B<sub>L</sub>、メモリ・ストリング選択線1、メモリ・ストリング選択線2、ブースター電極19、共通ソース線の全てをフローティング状態とし、シリコン半導体基板10にV<sub>erase</sub>（例えば20ボルト）を印加し、選択ブロックのワード線電位を0ボルトとする。また、非選択ブロックのワード線をフローティング状態とする。これによって、選択ブロックにおいては、浮遊電極からの電子の引き抜きによりデータが消去される。

【0070】他のメモリ・ストリングにおける各メモリ素子のチャネル形成領域の電位V<sub>ch</sub>は、前述の式（2）で表すことができる。

【0071】ビット線B<sub>L</sub>を介してメモリ素子のチャネル形成領域12に印加される電位V<sub>chini</sub>を1.5ボルト、所定の電位であるプログラム電位V<sub>program</sub>を12ボルト、ブースト電位V<sub>boost</sub>を12ボルト、プログラム禁止電位V<sub>pass</sub>をV<sub>cc</sub>ボルト、メモリ素子の閾値電圧V<sub>th</sub>を1ボルトとした。そして、チャネル形成領域12の不純物濃度を変化させたときの、チャネル形成領域の電位V<sub>ch</sub>を式（2）に基づき計算にて求めた結果を図1に黒菱形にて示す。一般に、他の選択メモリ素子M'<sub>1</sub>のチャネル形成領域12の電位V<sub>ch</sub>が7ボルト以上であれば、チャネル形成領域12から浮遊電極15への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。図1から明らかなように、チャネル形成領域12の不純物濃度が2×10<sup>17</sup>cm<sup>-3</sup>以下であれば、チャネル形成領域12の電位V<sub>ch</sub>が7ボルト以上となる。尚、因みに、チャネル形成領域12の不純物濃度が3×10<sup>17</sup>cm<sup>-3</sup>の場合、チャネル形成領域12の電位V<sub>ch</sub>は7ボルト未満となる。

【0072】尚、デザイン・ルールが0.13μmのメモリ素子において、通常の動作（即ち、パンチスルー現象が発生しないこと）を保証するために要求されるチャネル形成領域12の不純物濃度の下限値は、3×10<sup>17</sup>cm<sup>-3</sup>である。従って、デザイン・ルールが0.13μmあるいはそれを下回るスケールを進める場合、チャネル形成領域12の不純物濃度を3×10<sup>17</sup>cm<sup>-3</sup>を越える値とする必要がある。従って、デザイン・ルールが0.13μmあるいはそれ以下のメモリ素子において、チャネル形成領域12の不純物濃度の上限値を2×10<sup>17</sup>cm<sup>-3</sup>とすると、メモリ素子にはパンチスルー現象が発生する。しかしながら、メモリ素子へのデータの書き込みに、問題は生じない。メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体にバイアスを印加するので、パンチスルー現象が発生しているメモリ素子においても、パンチスルー電流の発生を防止することができ、メモリ素子は正常にオン・オフ動作する。

【0073】（実施の形態3）実施の形態3は、実施の形態2の変形である。実施の形態3における不揮発性半

導体メモリセルも、ブースター電極方式の不揮発性半導体メモリセルであり、各メモリ素子は、浮遊電極型メモリ素子である。実施の形態3のメモリ・ストリング等の模式的な一部断面図は図7及び図8と同様であり、制御電極と電荷蓄積部との容量結合や電荷蓄積部とチャネル形成領域との容量結合等の等価回路も、図23と同様である。尚、等価回路を図13に示す。

【0074】実施の形態3においては、実施の形態2と異なり、nチャネル型MOS FETから構成されたスイッチ用トランジスタWC<sub>0</sub>~WC<sub>7</sub>（図13及び図14参照）が、ワード線制御回路と各ワード線との間に設けられている。そして、メモリ素子M<sub>0</sub>~M<sub>7</sub>へのデータ書き込みに際して、スイッチ用トランジスタWC<sub>0</sub>~WC<sub>7</sub>を非導通状態とすることによって、各ワード線をワード線制御回路から電氣的に切り離すことができる。

【0075】実施の形態3においては、メモリ素子へのデータ書き込みに際し、スイッチ用トランジスタWC<sub>0</sub>~WC<sub>7</sub>を導通状態として、ワード線制御回路の作動によりワード線に所定の電位V<sub>prch</sub>を印加することによって制御電極17を所定の電位とした後、ブースト電位印加手段によってブースター電極19にブースト電位を印加することで層間絶縁膜18を介したブースター電極19と制御電極17との容量結合に基づき制御電極17の電位をプログラム電位V<sub>program</sub>まで昇圧させ、且つ、スイッチ用トランジスタWC<sub>0</sub>~WC<sub>7</sub>を非導通状態とすることによりワード線をワード線制御回路から電氣的に切り離し、データを書き込むべきメモリ素子とワード線を介して接続された他のメモリ・ストリングにおけるメモリ素子へのデータの書き込みを禁止する場合、データの書き込みが禁止された該メモリ素子において、ブースター電極19と制御電極17との容量結合、制御電極17と電荷蓄積部14、15、16との容量結合、電荷蓄積部14、15、16とチャネル形成領域12との容量結合、ブースター電極19とソース/ドレイン領域13との容量結合に基づきチャネル形成領域12を昇圧する。

【0076】実施の形態3においても、ブースター電極19は、層間絶縁膜18上に形成され、且つ、メモリ・ストリングを構成する各メモリ素子の制御電極17の頂面の上方から制御電極17の側面の上方及び電荷蓄積部14、15、16の側面の上方を経由してソース/ドレイン領域13の上方へと延在する。これによって、ブースター電極19と制御電極17との容量結合が、制御電極17の頂面だけでなく側面にも基づき形成される。従って、ブースター電極19と制御電極17との容量結合を増加させることができる。それ故、ブースター電極19にブースト電位V<sub>boost</sub>を印加することによって層間絶縁膜18を介したブースター電極19と制御電極17との容量結合に基づき制御電極17の電位を昇圧するとき、所定の電位であるプリチャージ電圧V<sub>prch</sub>やブー

スト電位  $V_{boost}$  の低電圧化を図ることができる。しかも、ブースター電極 19 と電荷蓄積部 14, 15, 16 との容量結合、並びにブースター電極 19 とソース／ドレイン領域 13 との容量結合を得ることができるので、他のメモリ・ストリングにおけるデータ書き込みが禁止された他の選択メモリ素子のチャネル形成領域の昇圧を確実に行うことができ、ディスタープ特性が劣化するという問題の発生を確実に回避することができる。

【0077】また、ワード線制御回路は、図 14 に示すように、ブロックアドレスレコーダと電圧変換回路と  $n$  チャネル型 MOS トランジスタによる電圧転送回路とドライバ（駆動回路）から構成された周知の回路とすればよいが、このワード線制御回路には、ブースター電極 19 にブースト電位  $V_{boost}$  を印加するためのブースト電位印加手段が組み込まれている。このブースト電位印加手段は、ブースト電位  $V_{boost}$  を出力する PL ドライバと MOS トランジスタから構成されている。

【0078】ワード線制御回路及びブースト電位印加手段を示す図 14、各メモリ素子に印加される電位（電圧）の値を例示した図表である図 15、データ書き込み動作及びデータ読み出し動作における信号波形を示す図 16、並びに、選択メモリ素子等の制御電極の電位を模式的に示す図 17 を参照して、以下、実施の形態 3 の NAND ストリング型メモリセルのデータ書き込み動作、データ読み出し動作及びデータ消去動作を説明する。

【0079】書き込み動作の開始前の書き込みセットアップにおいては、まず、ビット線制御回路のビット線毎に設けられた CMOS フリップフロップに書き込みデータをラッチする。そして、選択メモリ・ストリングに接続されたビット線の電位  $V_{BL}$  「0」を 0 ボルトとし、非選択メモリ・ストリングに接続されたビット線の電位  $V_{BL}$  「1」を  $V_{cc}$  とする。また、共通ソース線の電位（ $= \phi_s$ ）及びシリコン半導体基板 10 の電位を 0 ボルトとする。即ち、バイアス印加手段は動作させない。また、スイッチ用トランジスタ  $WC_0 \sim WC_7$  のゲート電極には電位  $\phi_{w0} \sim \phi_{w7}$ （ $= V_{prch}$ ）を印加し、導通状態とする。

【0080】書き込み動作の開始において、ブロックアドレスレコーダの出力信号は選択ブロックにおいては「H」となり、電圧変換回路の  $V_{ppRW}$  が  $V_{cc}$  から所定の電位であるプリチャージ電圧  $V_{prch}$  に昇圧される。また、DSG ドライバは  $V_{cc}$ （ $= \phi_{SG1}$ ）を、SSG ドライバは 0 ボルト（ $= \phi_{SG2}$ ）を、CG0 ドライバ、CG2 ドライバ～CG7 ドライバは  $V_{cc} \sim (V_{prch} - 2)$  ボルト程度のプログラム禁止電位  $V_{pass}$ （図 16 において、「 $\phi_{WL1}$  以外」で表す）を、それぞれ、出力する。また、CG1 ドライバはプリチャージ電圧  $V_{prch}$ （ $\phi_{WL1}$ ）（例えば、9～11 ボルト）を出力する。更には、PL ドライバは、後に、ブースト電位（ $\phi_{boost}$ ）を出力する。

【0081】選択メモリ・ストリングにおいては、ビット線 BL の電位が 0 ボルトであり、メモリ・ストリング選択線 1 の電位が  $V_{cc}$  であるが故に、第 1 の選択トランジスタ DSG が導通し、メモリ・ストリング選択線 2 の電位が 0 ボルトであるが故に、第 2 の選択トランジスタ SSG は非導通状態となる。そして、ビット線 BL の電位がメモリ素子のソース／ドレイン領域 13 へと転送される。選択メモリ素子  $M_1$  においては、選択ワード線の電位（ $\phi_{WL1}$ ）がプリチャージ電圧  $V_{prch}$  であるため、制御電極 17 の電位もプリチャージ電圧  $V_{prch}$  となる。

【0082】次に、ブースター電極 19 にブースト電位印加手段からブースト電位  $V_{boost}$ （例えば、9～11 ボルト）を印加する。これによって、層間絶縁膜 18 を介したブースター電極 19 と制御電極 17 との容量結合に基づき制御電極 17 の電位が昇圧され、制御電極 17 の電位はプログラム電位  $V_{program}$ （例えば 18 ボルト）となる。しかも、スイッチ用トランジスタ  $WC_1$  のソース領域側の電位が上昇する結果、スイッチ用トランジスタ  $WC_1$  は非導通状態となり、ワード線がワード線制御回路から電気的に切り離される。以上の結果、制御電極 17 とチャネル形成領域 12 との間の電位差に基づき、チャネル形成領域 12 から浮遊電極 15 への電子の注入が生じ、選択メモリ素子  $M_1$  の閾値電圧  $V_{th}$  が当初の負から正方向にシフトし、データが選択メモリ素子  $M_1$  に書き込まれる。一方、非選択メモリ素子  $M_0, M_2 \sim M_7$  においては、スイッチ用トランジスタ  $WC_0, WC_2 \sim WC_7$  は導通状態であり、非選択ワード線の電位（ $\phi_{WL1}$  以外）が  $V_{cc} \sim (V_{prch} - 2)$  ボルト程度のプログラム禁止電位  $V_{pass}$  であるため、制御電極 17 とチャネル形成領域 12 との間には大きな電位差が生ぜず、チャネル形成領域 12 から浮遊電極 15 への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子  $M_0, M_2 \sim M_7$  に保持される。

【0083】一方、非選択メモリ・ストリングにおいては、ビット線 BL の電位が  $V_{cc}$  であり、第 1 の選択トランジスタ DSG は導通状態にある。そして、他の選択メモリ素子  $M'_1$  においても、選択ワード線の電位（ $\phi_{WL1}$ ）が  $V_{prch}$  であるため、他の選択メモリ素子  $M'_1$  の制御電極 17 の電位も  $V_{prch}$  となる。次に、ブースター電極 19 にブースト電位印加手段からブースト電位  $V_{boost}$  が印加される。その結果、層間絶縁膜 18 を介したブースター電極 19 と制御電極 17 との容量結合に基づき、制御電極 17 の電位が昇圧され、制御電極 17 の電位はプログラム電位  $V_{program}$ （例えば 18 ボルト）となる。しかも、スイッチ用トランジスタ  $WC_1$  のソース領域側の電位が上昇する結果、スイッチ用トランジスタ  $WC_1$  は非導通状態となり、ワード線がワード線制御回路から電気的に切り離される。以上の結果、他の選択

メモリ素子の制御電極 17 の電位の昇圧による制御電極 17 と浮遊電極 15 との容量結合、及び、浮遊電極 15 とチャンネル形成領域 12 との容量結合に基づき、更には、ブースター電極 19 と浮遊電極 15 との容量結合、及び、ブースター電極 19 とソース／ドレイン領域 13 との容量結合に基づき、他の選択メモリ素子  $M'_1$  のチャンネル形成領域 12 が例えば 7 ボルト程度に昇圧され、ほぼ同時に、第 1 の選択トランジスタ DSG のソース領域側の電位が上昇する結果、第 1 の選択トランジスタ DSG は非導通状態となり、チャンネル形成領域 12 の電位が保持される。その結果、チャンネル形成領域 12 から浮遊電極 15 への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0084】データ読み出し動作においては、バイアス印加手段（図示せず）によって基体である p 型ウエル 11 B にバイアス  $V_{bias}$  を印加する。バイアス  $V_{bias}$  の電位は、パンチスルー現象が発生しているメモリ素子において、パンチスルー電流の発生を防止することができ、メモリ素子が正常にオン・オフ動作するような電位とすればよい。そして、ビット線 BL に例えば 1.5 ボルトを印加し、メモリ・ストリング選択線 1 の電位 ( $\phi SG_1$ ) 及びメモリ・ストリング選択線 2 の電位 ( $\phi SG_2$ ) を  $V_{cc}$  とし、第 1 の選択トランジスタ DSG 及び第 2 の選択トランジスタ SSG を導通状態とする。ブースター電極 19 には 0 ボルト又は  $V_{cc}$  を印加する。また、選択ワード線に 0 ボルトを印加し、非選択ワード線には  $V_{cc} \sim (V_{prch} - 2)$  ボルト程度を印加する。これによって、非選択メモリ素子  $M_0, M_2 \sim M_7$  は導通状態となる。一方、選択メモリ素子  $M_1$  の閾値電圧  $V_{th}$  に依存して、選択メモリ素子  $M_1$  は導通状態あるいは非導通状態となる。即ち、選択メモリ素子にデータ「0」が保持されている場合には、選択メモリ素子  $M_1$  は非導通状態となり、ビット線 BL の電位は 1.5 ボルトを保持する。また、選択メモリ素子にデータ「1」が保持されている場合には、選択メモリ素子  $M_1$  は導通状態となり、ビット線 BL の電位は 1.5 ボルトよりも低下する。このビット線の電位をビット線制御回路によって検出することにより、選択メモリ素子  $M_0$  にデータ「0」あるいは「1」が保持されていることを読み出すことができる。

【0085】データ消去動作においては、ビット線 BL、メモリ・ストリング選択線 1、メモリ・ストリング選択線 2、ブースター電極 19、共通ソース線の全てをフローティング状態とし、シリコン半導体基板 10 に  $V_{erase}$ （例えば 20 ボルト）を印加し、選択ブロックのワード線電位を 0 ボルトとする。また、非選択ブロックのワード線をフローティング状態とする。これによって、選択ブロックにおいては、浮遊電極からの電子の引き抜きによりデータが消去される。

【0086】（実施の形態 4）実施の形態 4 は、本発明

の第 3 の態様に係る不揮発性半導体メモリセル、並びに、本発明の第 3 の態様に係る不揮発性半導体メモリセルにおけるデータ書き込み・読み出し制御方法に関する。実施の形態 4 における不揮発性半導体メモリセルは、CBC 方式の不揮発性半導体メモリセルであり、各メモリ素子は、浮遊電極型メモリ素子である。実施の形態 4 のメモリ・ストリング等の模式的な一部断面図を図 18 に示し、等価回路を図 19 に示す。また、制御電極と電荷蓄積部との容量結合や電荷蓄積部とチャンネル形成領域との容量結合等の等価回路を、図 24 に示す。

【0087】実施の形態 4 のメモリ・ストリングは、電氣的書き換えが可能なメモリ素子（浮遊電極型メモリ素子）が、複数、直列接続されている。図に示したメモリ・ストリングにおいては、8 つのメモリ素子  $M_0 \sim M_7$  が直列接続されているが、メモリ・ストリングを構成するメモリ素子の数は 8 に限定されない。メモリ・ストリング及び各メモリ素子の基本的な構造は、実施の形態 1 にて説明したメモリ・ストリング及びメモリ素子と同様であるので、詳細な説明は省略し、実施の形態 1 と相違する点を、以下に説明する。

【0088】実施の形態 4 においては、メモリ・ストリングを構成する各メモリ素子  $M_0 \sim M_7$  の制御電極 17 の頂面上方に、導電層 22 が層間絶縁膜 18 を介して設けられている。この導電層 22 は、メモリ・ストリングを構成する 1 つのメモリ素子（例えば、 $M_7$ ）の一方のソース／ドレイン領域に接続されている。層間絶縁膜 18 は  $SiO_2$  から構成されており、導電層 22 は、不純物を含有するポリシリコン層とタングステンシリサイド層の 2 層構成（ポリサイド構造）である。尚、導電層 22 を、メモリ・ストリングを構成する各メモリ素子  $M_0 \sim M_7$  の制御電極 17 の頂面上方及び側面上方に、層間絶縁膜 18 を介して設けてもよい。

【0089】ワード線制御回路は、図 4 に示した実施の形態 1 におけるワード線制御回路と同様とすればよい。

【0090】実施の形態 4 の NAND ストリング型メモリセルのデータ書き込み動作、データ読み出し動作及びデータ消去動作は、ワード線制御回路を示す図 4、各メモリ素子に印加される電位（電圧）の値を例示した図表である図 5、データ書き込み動作及びデータ読み出し動作における信号波形を示す図 6 を参照して説明した、実施の形態 1 の NAND ストリング型メモリセルのデータ書き込み動作、データ読み出し動作及びデータ消去動作と、基本的には同様である。以下、実施の形態 1 との相違点を説明する。

【0091】書き込み動作において、非選択メモリ・ストリングにあつては、ビット線 BL の電位が  $V_{cc}$  であり、第 1 の選択トランジスタ DSG は導通状態にある。そして、他の選択メモリ素子  $M'_1$  においても、選択ワード線の電位 ( $\phi WL_1$ ) がプログラム電位  $V_{program}$  であるため、他の選択メモリ素子  $M'_1$  の制御電極 17 の

電位もプログラム電位  $V_{\text{program}}$  となる。以上の結果、他の選択メモリ素子の制御電極 17 の電位の昇圧による制御電極 17 と浮遊電極 15 との容量結合、浮遊電極 15 とチャネル形成領域 12 との容量結合、及び、制御電極 17 と導電層 22 との容量結合に基づき、他の選択メモリ素子  $M'_1$  のチャネル形成領域 12 が例えば 7 ボルト程度に昇圧され、ほぼ同時に、第 1 の選択トランジスタ DSG のソース領域側の電位が上昇する結果、第 1 の選択トランジスタ DSG は非導通状態となり、チャネル形成領域 12 の電位が保持される。その結果、チャネル形成領域 12 から浮遊電極 15 への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0092】ビット線 BL を介してメモリ素子のチャネル形成領域 12 に印加される電位  $V_{\text{chini}}$  を 1.5 ボルト、プログラム電位  $V_{\text{program}}$  を 18 ボルト、プログラム禁止電位  $V_{\text{pass}}$  を 10 ボルト、メモリ素子の閾値電圧  $V_{\text{th}}$  を 1 ボルトとした。そして、チャネル形成領域 12 の不純物濃度を変化させたときの、チャネル形成領域の電位  $V_{\text{ch}}$  を式 (3) に基づき計算にて求めた結果を図 1 に黒丸にて示す。一般に、他の選択メモリ素子  $M'_1$  のチャネル形成領域 12 の電位  $V_{\text{ch}}$  が 7 ボルト以上であれば、チャネル形成領域 12 から浮遊電極 15 への電子の注入が生ぜず、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。図 1 から明らかなように、チャネル形成領域 12 の不純物濃度が  $1 \times 10^{18} \text{ cm}^{-3}$  以下であれば、チャネル形成領域 12 の電位  $V_{\text{ch}}$  が 7 ボルト以上となる。

【0093】尚、デザイン・ルールが  $0.03 \mu\text{m}$  のメモリ素子において、通常の動作（即ち、パンチスルー現象が発生しないこと）を保証するために要求されるチャネル形成領域 12 の不純物濃度の下限値は、 $1 \times 10^{18} \text{ cm}^{-3}$  である。従って、デザイン・ルールが  $0.03 \mu\text{m}$  未満へとスケールを進める場合、チャネル形成領域 12 の不純物濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  を越える値とする必要がある。従って、デザイン・ルールが  $0.03 \mu\text{m}$  未満のメモリ素子において、チャネル形成領域 12 の不純物濃度の上限値を  $1 \times 10^{18} \text{ cm}^{-3}$  とすると、メモリ素子にはパンチスルー現象が発生する。しかしながら、メモリ素子へのデータの書き込みに、問題は生じない。メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体にバイアスを印加するので、パンチスルー現象が発生しているメモリ素子においても、パンチスルー電流の発生を防止することができ、メモリ素子は正常にオン・オフ動作する。

【0094】（実施の形態 5）実施の形態 5 は、実施の形態 1 ～実施の形態 4 の変形であり、メモリ素子が MONOS 型メモリ素子である点がこれらの実施の形態と相違している。NAND ストリング型メモリセルのその他の構造は、実施の形態 1 と同様とすることができる。図

20 の (A) に、MONOS 型メモリ素子の模式的な断面図を示す。実施の形態 5 においては、電荷蓄積部は、チャネル形成領域 12 上に形成された第 1 の酸化膜 ( $\text{SiO}_2$  膜) 31、第 1 の酸化膜 31 上に形成された窒化膜 ( $\text{SiN}$  膜) 32、及び、窒化膜 32 と制御電極 17 との間に形成された第 2 の酸化膜 ( $\text{SiO}_2$  膜) から成る。即ち、電荷蓄積部は ONO 膜構造を有する。これらの膜は、周知の CVD 法にて成膜すればよい。

【0095】（実施の形態 6）実施の形態 6 も、実施の形態 1 ～実施の形態 4 の変形であり、メモリ素子が MNOS 型メモリ素子である点がこれらの実施の形態と相違している。NAND ストリング型メモリセルのその他の構造は、実施の形態 1 と同様とすることができる。図 20 の (B) に、MNOS 型メモリ素子の模式的な断面図を示す。実施の形態 6 においては、電荷蓄積部は、チャネル形成領域 12 上に形成された酸化膜 ( $\text{SiO}_2$  膜) 41、及び、酸化膜 41 と制御電極 17 との間に形成された窒化膜 ( $\text{SiN}$  膜) 42 から成る。即ち、電荷蓄積部は ON 膜構造を有する。これらの膜は、周知の CVD 法にて成膜すればよい。

【0096】（実施の形態 7）実施の形態 7 も、実施の形態 1 ～実施の形態 4 の変形であり、メモリ素子がナノクリスタル型メモリ素子である点がこれらの実施の形態と相違している。NAND ストリング型メモリセルのその他の構造は、実施の形態 1 と同様とすることができる。図 20 の (C) にナノクリスタル型メモリ素子の模式的な断面図を示す。実施の形態 7 においては、電荷蓄積部は、チャネル形成領域 12 上に形成されたトンネル絶縁膜 51、トンネル絶縁膜 51 上に形成された導電性微小結晶粒子 52、及び、導電性微小結晶粒子 52 と制御電極 17 との間に形成された絶縁層 53 から成る。導電性微小結晶粒子 52 は Si から構成されており、半球状である。ナノクリスタル型メモリ素子の詳細に関しては、例えば、文献 "Volatile and Non-Volatile Memories in Silicon with Nano-Crystal Storage", Sandip Tiwari, et al., IEDM 95, pp521-524 (20.4.1-20.4.4)、あるいは、文献 "Fast and Long Retention-Time Nano-Crystal Memory", H.I. Hanafi, et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 43, No. 9, September 1996, pp1554-1558 を参照されたい。

【0097】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した不揮発性半導体メモリセルにおける使用材料は例示であり、また、不揮発性半導体メモリセルの構造も例示であり、適宜、変更することができる。また、発明の実施の形態においては、「0」及び「1」の 2 値を記憶する不揮発性半導体メモリセルを例にとり説明を行ったが、1 つのメモリ素子に 2 ビットあるいはそれ以上の、即ち、3 値以上の多値データを記憶する不揮発性半導体メモリセルに本発明を適

用することもできる。発明の実施の形態においては、メモリ素子に記憶されたデータを読み出す際に基体にバイアスを印加するためのバイアス印加手段を設けたが、その代わりに、ソース線にバイアスを印加するためのバイアス印加手段を設けてもよく、このような構造によっても、パンチスルー現象が発生しているメモリ素子におけるパンチスルー電流の発生を防止することができ、メモリ素子に記憶されたデータを読み出す際のメモリ素子の正常なオン・オフ動作を保証することができる。

【0098】

【発明の効果】本発明においては、セルフ・ブースト方式、ブースター電極方式及びCBC方式に依存して、チャネル形成領域の不純物濃度の上限を規定する。これによって、他の選択メモリ素子のチャネル形成領域の電位 $V_{ch}$ を、例えば7ボルト以上に確実に上昇させることができ、不揮発性半導体メモリセルの微細化が進んでも、データ書き込み時のディスタープ特性が劣化するという問題を、確実に回避することができる。また、メモリ素子からのデータ読み出しに際して、バイアス印加手段によって基体又はソース線にバイアスを印加するので、メモリ素子を正常にオン・オフ動作させることができる。

【図面の簡単な説明】

【図1】チャネル形成領域の不純物濃度を変化させたときの、チャネル形成領域の電位 $V_{ch}$ を式(1)、式(2)及び式(3)に基づき計算にて求めた結果を示す図である。

【図2】発明の実施の形態1あるいは従来の不揮発性半導体メモリセルの模式的な一部断面図である。

【図3】発明の実施の形態1あるいは従来の不揮発性半導体メモリセルの等価回路図である。

【図4】ワード線制御回路の回路図である。

【図5】発明の実施の形態1の不揮発性半導体メモリセルの各メモリ素子に印加される電位(電圧)の値を示した図表である。

【図6】発明の実施の形態1の不揮発性半導体メモリセルにおいて、データ書き込み動作及びデータ読み出し動作における信号波形を示す図である。

【図7】発明の実施の形態2の不揮発性半導体メモリセルの模式的な一部断面図である。

【図8】図7とは別の角度から眺めた発明の実施の形態2の不揮発性半導体メモリセルの模式的な一部断面図、及び1つのメモリ素子を拡大した模式的な断面図である。

【図9】発明の実施の形態2の不揮発性半導体メモリセルの等価回路図である。

【図10】発明の実施の形態2の不揮発性半導体メモリセルにおけるブースト電位印加手段及びワード線制御回路の回路図である。

【図11】発明の実施の形態2の不揮発性半導体メモリセルの各メモリ素子に印加される電位(電圧)の値を示した図表である。

【図12】発明の実施の形態2の不揮発性半導体メモリセルにおいて、データ書き込み動作及びデータ読み出し動作における信号波形を示す図である。

【図13】発明の実施の形態3の不揮発性半導体メモリセルの等価回路図である。

【図14】発明の実施の形態3の不揮発性半導体メモリセルにおけるブースト電位印加手段及びワード線制御回路の回路図である。

【図15】発明の実施の形態3の不揮発性半導体メモリセルの各メモリ素子に印加される電位(電圧)の値を示した図表である。

【図16】発明の実施の形態3の不揮発性半導体メモリセルにおいて、データ書き込み動作及びデータ読み出し動作における信号波形を示す図である。

【図17】発明の実施の形態3の不揮発性半導体メモリセルにおいて、選択メモリ素子等の制御電極等の電位を模式的に示す図である。

【図18】発明の実施の形態4の不揮発性半導体メモリセルの模式的な一部断面図である。

【図19】発明の実施の形態4の不揮発性半導体メモリセルの等価回路図である。

【図20】発明の実施の形態5、発明の実施の形態6、及び、発明の実施の形態7におけるメモリ素子の模式的な断面図である。

【図21】NANDストリング型不揮発性半導体メモリセルの各メモリ素子の閾値電圧 $V_{th}$ の分布を模式的に示す図である。

【図22】セルフ・ブースト方式の等価回路を示す図である。

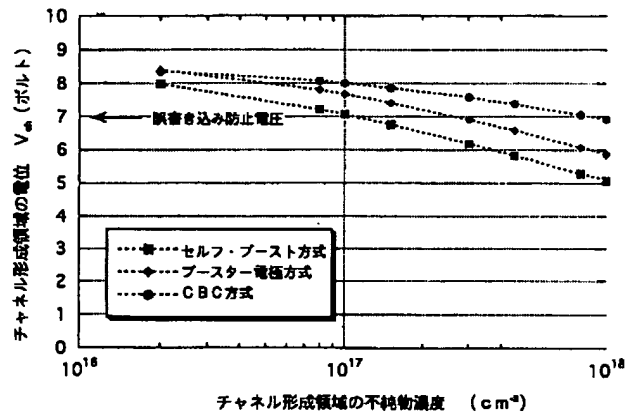
【図23】ブースター電極方式の等価回路を示す図である。

【図24】CBC方式の等価回路を示す図である。

【符号の説明】

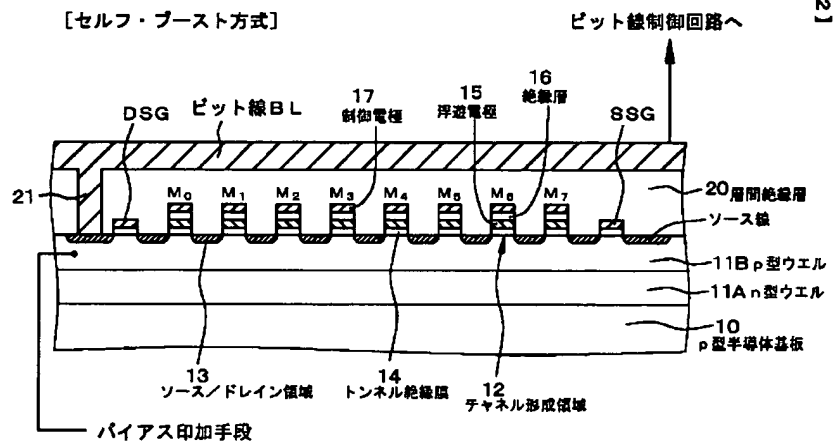
10・・・p型シリコン半導体基板、11A・・・n型ウエル、11B・・・p型ウエル、12・・・チャネル形成領域、13・・・ソース/ドレイン領域、14・・・トンネル絶縁膜、15・・・浮遊電極、16・・・絶縁層、17・・・制御電極、18・・・層間絶縁膜、19・・・ブースター電極、20・・・層間絶縁層、21・・・コンタクトプラグ、22・・・導電層、31・・・第1の酸化膜、32・・・窒化膜、33・・・第2の酸化膜、41・・・酸化膜、42・・・窒化膜、51・・・トンネル絶縁膜、52・・・導電性微小結晶粒子、53・・・絶縁層、 $M_0 \sim M_7$ ・・・メモリ素子、DSG・・・第1の選択トランジスタ、SSG・・・第2の選択トランジスタ、BL・・・ビット線

【図1】



【図1】

【図2】

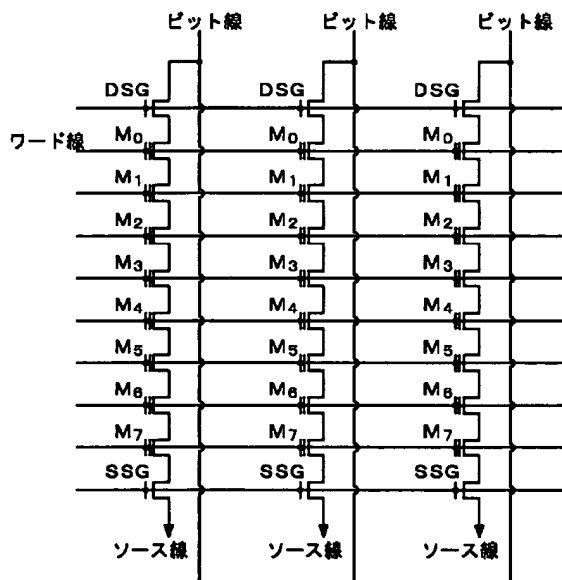


【図2】

【図3】

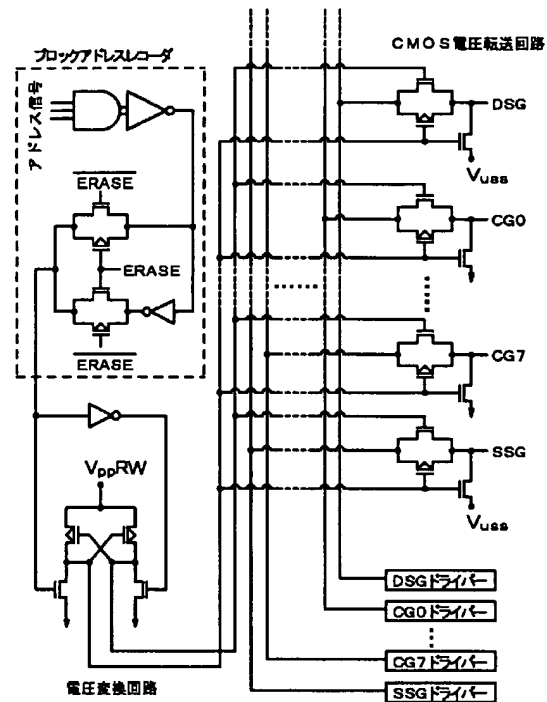
【図3】

[セルフ・ブースト方式]



【図4】

【図4】



【図5】

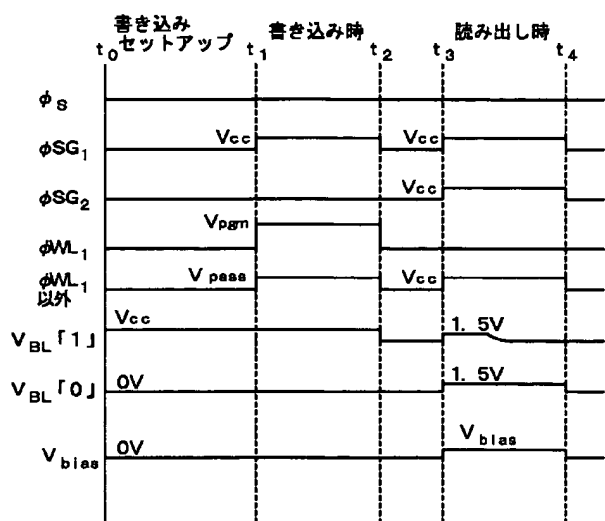
(単位: ボルト)

【図5】

電 位	書き込み時		読み出し時	消 去 時	
	「0」	「1」		選択ブロック	非選択ブロック
ビット線	0	$V_{cc}$	1.5	フローティング	フローティング
メモリ・ストリング 選択線1	$V_{cc}$	$V_{cc}$	$V_{cc}$	フローティング	フローティング
選択ワード線	$V_{pgm}$	$V_{pgm}$	0	0	—
非選択ワード線	$V_{pass}$	$V_{pass}$	$V_{cc}$	—	フローティング
メモリ・ストリング 選択線2	0	0	$V_{cc}$	フローティング	フローティング
共通ソース線	0又は $V_{cc}$	0又は $V_{cc}$	0	フローティング	フローティング
基 体	0	0	$V_{bias}$	$V_{erase}$	$V_{erase}$

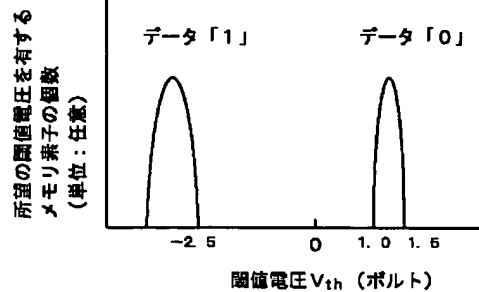


【図6】

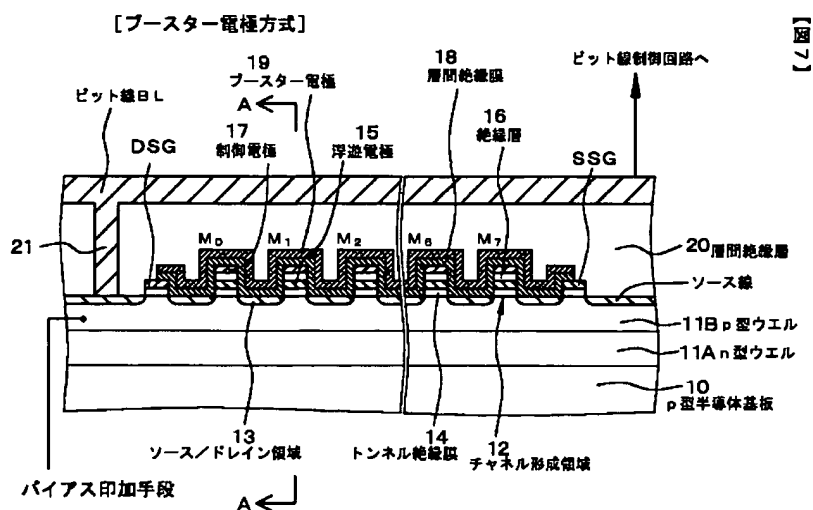


【図21】

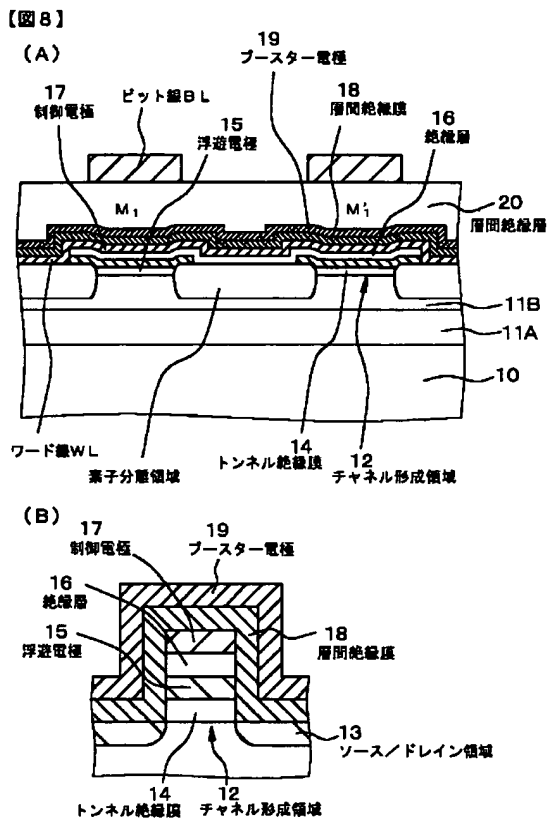
【図21】



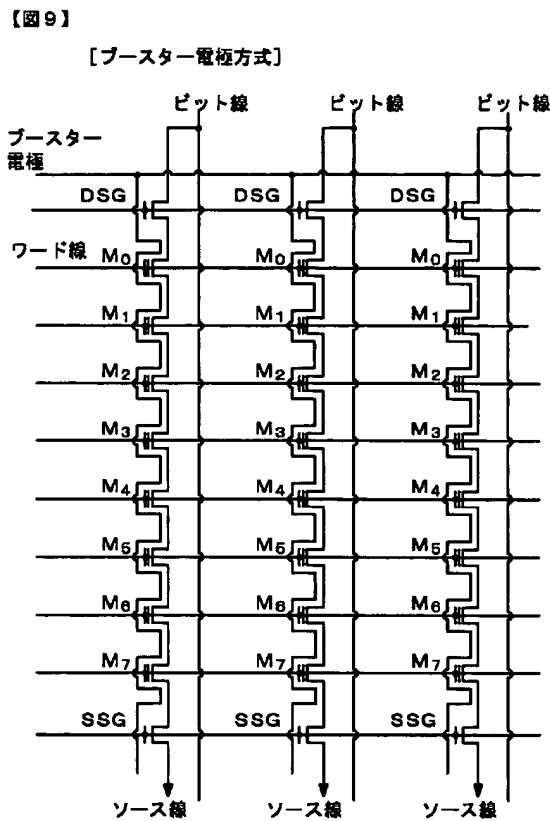
【図7】



【図8】



【図9】



【図11】

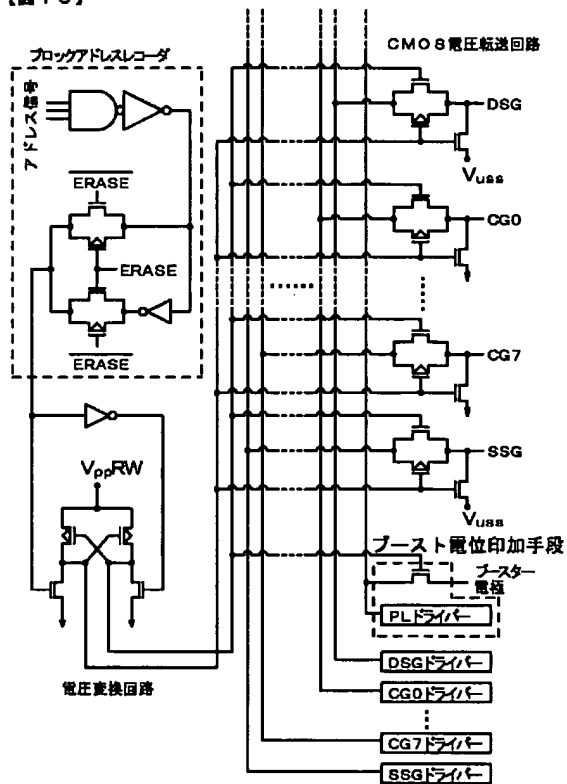
(単位: ボルト)

電位	書き込み時		読み出し時	消去時	
	「0」	「1」		選択ブロック	非選択ブロック
ビット線	0	$V_{cc}$	1.5	フローティング	フローティング
メモリ・ストリング 選択線1	$V_{cc}$	$V_{cc}$	$V_{cc}$	フローティング	フローティング
ブースター電極	$V_{boost}$	$V_{boost}$	$V_{cc}$ 又は 0	フローティング	フローティング
選択ワード線	$V_{prg}$	$V_{prg}$	0	0	—
非選択ワード線	$V_{cc}$	$V_{cc}$	$V_{cc}$	—	フローティング
メモリ・ストリング 選択線2	0	0	$V_{cc}$	フローティング	フローティング
共通ソース線	0又は $V_{cc}$	0又は $V_{cc}$	0	フローティング	フローティング
基体	0	0	$V_{bias}$	$V_{erase}$	$V_{erase}$

【図11】

【図10】

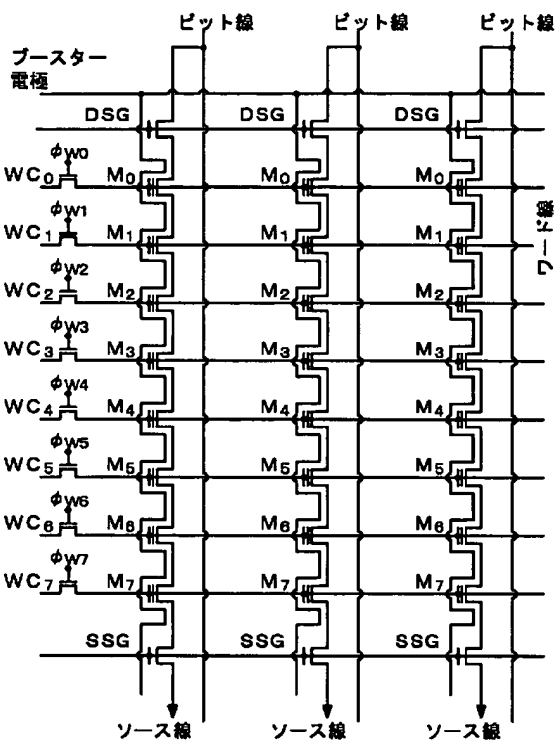
【図10】



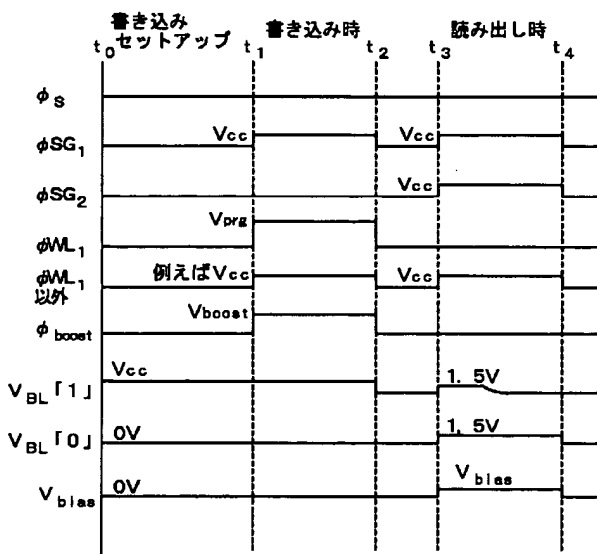
【図13】

【図13】

【ブースター電極方式】



【図12】

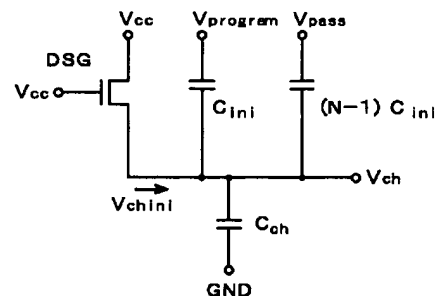


【図22】

【図22】

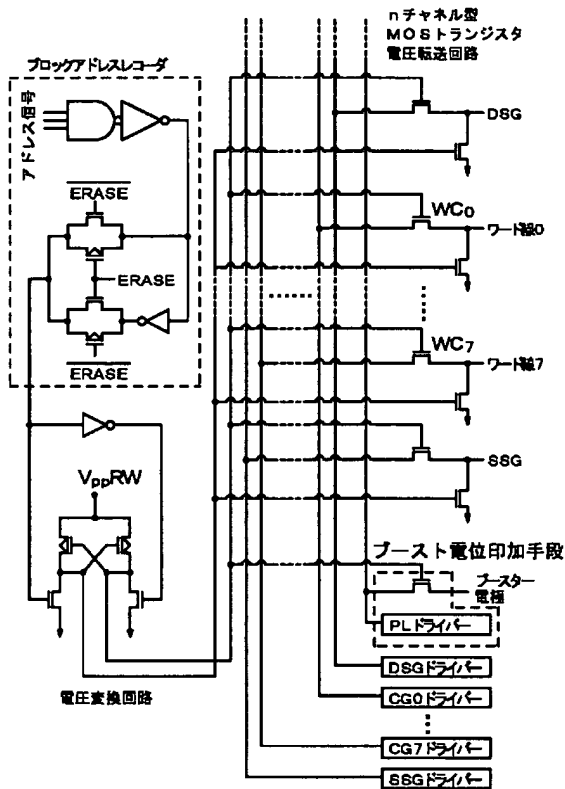
セルフ・ブースト方式

【図22】



【図14】

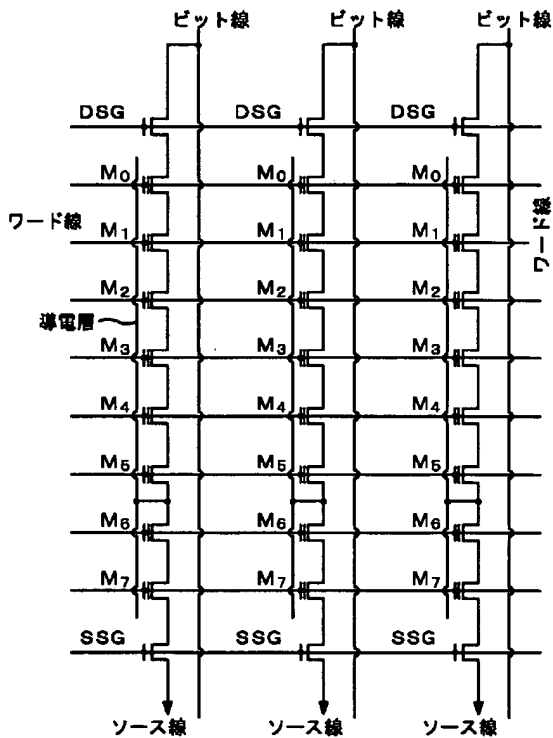
【図14】



【図19】

【図19】

【CBC方式】



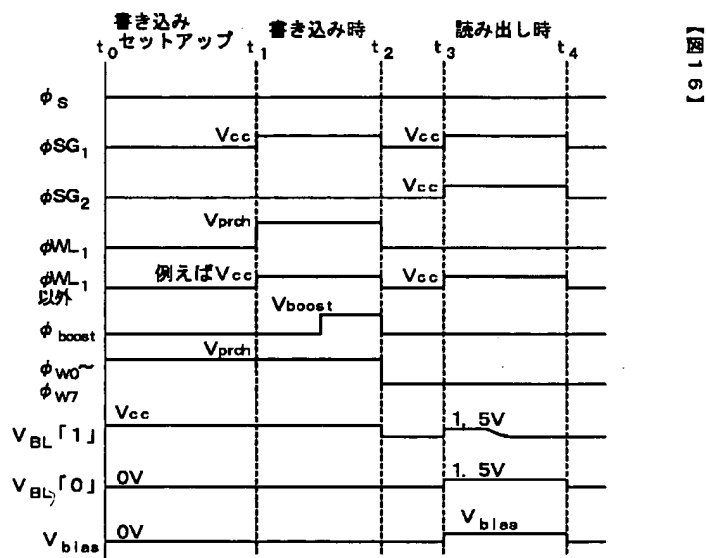
【図15】

(単位: ボルト)

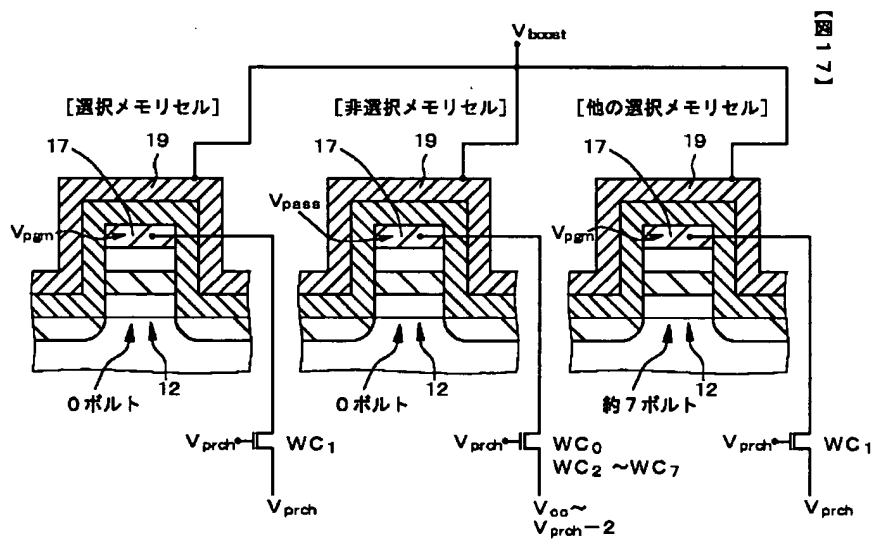
【図15】

電 位	書き込み時		読み出し時	消 去 時	
	「0」	「1」		選択ブロック	非選択ブロック
ビット線	0	$V_{cc}$	1.5	フローティング	フローティング
メモリ・ストリング 選択線1	$V_{cc}$	$V_{cc}$	$V_{cc}$	フローティング	フローティング
ブースター電極	$V_{boost}$	$V_{boost}$	$V_{cc}$ 又は 0	フローティング	フローティング
選択ワード線	$V_{prch}$	$V_{prch}$	0	0	—
非選択ワード線	$V_{cc} \sim$ $V_{prch}-2$	$V_{cc} \sim$ $V_{prch}-2$	$V_{cc} \sim$ $V_{prch}-2$	—	フローティング
メモリ・ストリング 選択線2	0	0	$V_{cc}$	フローティング	フローティング
共通ソース線	0又は $V_{cc}$	0又は $V_{cc}$	0	フローティング	フローティング
基 体	0	0	$V_{bias}$	$V_{erase}$	$V_{erase}$

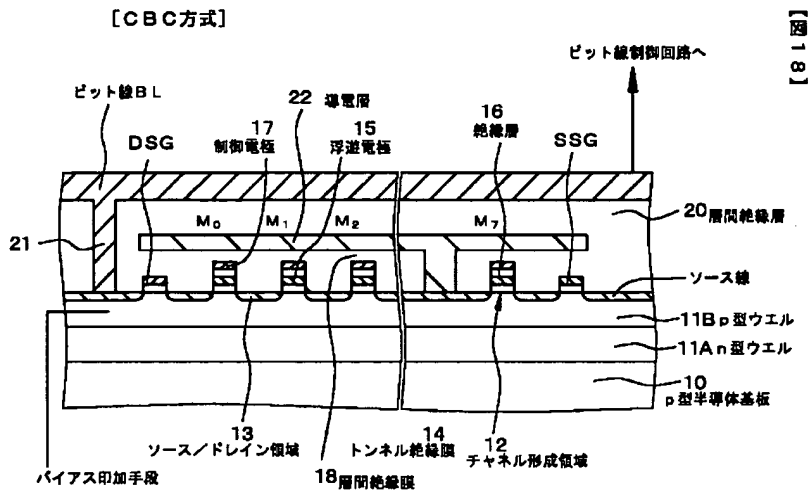
【図16】



【図17】



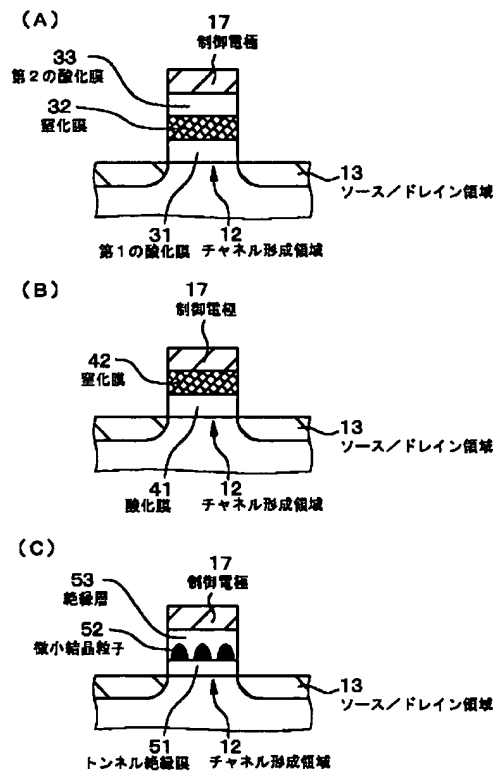
【図18】



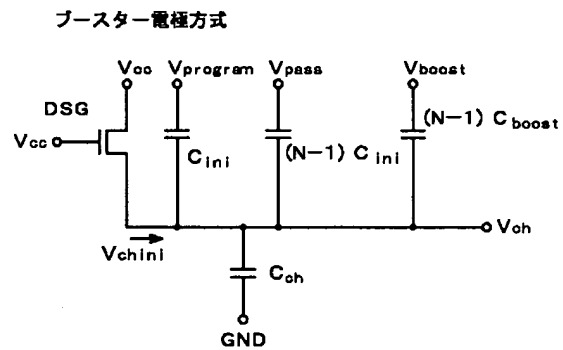
【図18】

【図20】

【図20】



【図23】



【図24】

【図24】

